

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2002年 8月29日
Date of Application:

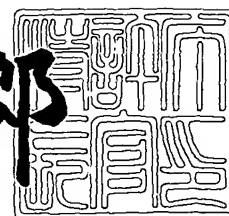
出願番号 特願2002-252193
Application Number:
[ST. 10/C]: [JP2002-252193]

出願人 株式会社半導体エネルギー研究所
Applicant(s):

2003年 7月 8日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3053741

【書類名】 特許願

【整理番号】 P006572

【提出日】 平成14年 8月29日

【あて先】 特許庁長官 及川 耕造 殿

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 高山 徹

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 山崎 舜平

【発明者】

 【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

 【氏名】 山口 哲司

【特許出願人】

 【識別番号】 000153878

 【氏名又は名称】 株式会社半導体エネルギー研究所

 【代表者】 山崎 舜平

【手数料の表示】

 【予納台帳番号】 002543

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 半導体装置の作製方法

【特許請求の範囲】

【請求項 1】

少なくとも可視光域から赤外域までの波長域の非可干渉性の電磁波を輻射する熱源で熱処理を行う工程を含む半導体装置の作製方法であって、
ガラス基板上に前記電磁波の輻射により加熱される導電層を形成し、
前記ガラス基板と前記導電層との間に、前記導電層の内側に位置する半導体層と、
前記半導体層の上面及び側面を被覆する絶縁層とを形成し、
前記電磁波の照射により、前記導電層が形成された領域を選択的に加熱して、前記半導体層及び前記絶縁層の熱処理を行う工程を含むこと
を特徴とする半導体装置の作製方法。

【請求項 2】

少なくとも可視光域から赤外域までの波長域の非可干渉性の電磁波を照射して熱処理を行う工程を含む半導体装置の作製方法であって、
前記波長域の電磁波の透過率が 50%以上の基板上に、前記電磁波を吸収する導電層を形成し、
前記基板と前記導電層との間に、前記導電層の内側に位置する半導体層と、前記半導体層の上面及び側面を被覆する絶縁層とを形成し、
前記電磁波の照射により、前記導電層が形成された領域を選択的に加熱して、前記半導体層及び前記絶縁層の熱処理を行う工程を含むこと
を特徴とする半導体装置の作製方法。

【請求項 3】

絶縁表面を有するガラス基板上に、一辺の長さが前記ガラス基板の厚さと同じ又はそれ以下であるようにパターン形成された導電層と、
前記ガラス基板と前記導電層との間に、前記導電層の内側に位置する半導体層と、
該半導体層の上面及び側面を被覆する絶縁層とを設け、
少なくとも可視光域から赤外域までの波長域の非可干渉性の光を輻射する熱源を用いて、前記導電層が形成された領域を選択的に加熱して、前記半導体層及び前

記絶縁層の熱処理を行う工程を含むこと
を特徴とする半導体装置の作製方法。

【請求項 4】

熱源から輻射される可視光域から赤外域までの波長域の非可干渉性の電磁波の透過率が50%以上である基板上に、一辺の長さが前記基板の厚さと同じ又はそれ以下であるようにパターン形成された導電層と、
前記基板と前記導電層との間に、前記導電層の内側に位置する半導体層と、該半導体層の上面及び側面を被覆する絶縁層とを設け、
前記熱源の輻射により、前記導電層が形成された領域を選択的に加熱して、前記半導体層及び前記絶縁層の熱処理を行う工程を含むこと
を特徴とする半導体装置の作製方法。

【請求項 5】

絶縁表面を有する基板上に、島状に分割した半導体層を形成し、
前記半導体層上に絶縁層を介して、該半導体層の全面を被覆し且つ端部が外側に位置する導電層を形成し、
少なくとも可視光域から赤外域までの波長域の非可干渉性の電磁波を照射して、
前記導電層が形成された領域を選択的に加熱して、前記半導体層及び前記絶縁層の熱処理を行う工程を有すること
を特徴とする半導体装置の作製方法。

【請求項 6】

絶縁表面を有する基板上に、第1絶縁層を形成し、
前記第1絶縁層上に島状に分割した半導体層を形成し、
前記半導体層の上面及び側面を覆う第2絶縁層を形成し、
前記第2絶縁層上に、前記半導体層の上面及び端面を覆い端部が該半導体層の外側に位置する導電層を形成し、
少なくとも可視光域から赤外域までの波長域の非可干渉性の電磁波を照射して、
前記導電層が形成された領域を選択的に加熱して、前記半導体層及び前記絶縁層の熱処理を行い、
前記金属層及び前記導電層をエッチングして、前記半導体層と重畳するゲート電

極を形成する各段階を有すること
を特徴とする半導体装置の作製方法。

【請求項 7】

ガラス基板上に、島状に分割した半導体層を形成し、
前記半導体層上に絶縁層を介して、該半導体層の全面を被覆してかつ端部が外側に位置する導電層を形成し、
少なくとも可視光域から赤外域までの波長域の非可干渉性の電磁波を 30 乃至 300 秒間照射して、
前記導電層が形成された領域を選択的に加熱して、前記半導体層及び前記絶縁層の熱処理を行う工程を有すること
を特徴とする半導体装置の作製方法。

【請求項 8】

熱源から輻射される可視光域から赤外域までの波長域の非可干渉性の電磁波の透過率が 50 % 以上である基板上に、島状に分割した半導体層を形成し、
前記半導体層上に絶縁層を介して、該半導体層の全面を被覆してかつ端部が外側に位置する導電層を形成し、
前記熱源の輻射により、前記導電層が形成された領域を選択的に 30 乃至 300 秒間加熱して、前記半導体層及び前記絶縁層の熱処理を行う工程を含むこと
を特徴とする半導体装置の作製方法。

【請求項 9】

請求項 1 乃至 8 のいずれか一項において、前記導電層は金属窒化物で形成すること
を特徴とする半導体装置の作製方法。

【請求項 10】

請求項 1 乃至 8 のいずれか一項において、前記導電層上の第 2 の導電層を形成し、
前記導電層をゲート電極の一部として形成すること
を特徴とする半導体装置の作製方法。

【請求項 11】

請求項 1 乃至 8 のいずれか一項において、前記熱処理の温度が、前記基板の歪み

点以上の温度で行うこと

を特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、絶縁表面を有する基板上に半導体層及び絶縁膜を積層形成して成る半導体素子を備えた半導体装置の作製方法に関し、特にガラスなど熱的に脆い素材を基板とする半導体装置の作製方法に適用して有効な技術に関する。

【0 0 0 2】

【従来の技術】

ガラスなどを基板として、その絶縁表面上に薄膜トランジスタ (Thin Film Transistor: T F T) を形成する技術が開発されている。T F T は液晶ディスプレイへの応用が進み、特に近年ではレーザーアニールで結晶化した多結晶シリコンで T F T を形成し、画素部とドライバ回路を一体形成することに注力されている。

【0 0 0 3】

その製造技術において、製造コストの面やパネルの大面积化への対応のために、無アルカリガラスと呼ばれる歪み点が 7 0 0 ℃ 以下であるガラス基板が使われている。従って、製造プロセスが許容される最高温度はガラス基板が変形しない歪み点以下の温度が原則となり、シリコンの結晶化及びシリコンに添加したドナー又はアクセプタ不純物の活性化処理として、レーザーアニールや瞬間熱アニール (Rapid Thermal Anneal: R T A) 技術の重要性が高まっている。

【0 0 0 4】

R T A は数マイクロ秒～数十秒の期間に瞬間的に加熱する熱処理技術であり、ハロゲンランプなどから輻射される可視光域から赤外域の波長の電磁波をもってアニールするものである。この R T A 技術を使ってガラス基板上の多結晶シリコン膜に注入した n 型不純物を活性化する技術として、R T A による熱を効果的に作用させるために、ガラス基板と多結晶シリコン膜との間に形成した金属層に熱を蓄積する方法が開示されている（例えば、特許文献 1：特開 2 0 0 1 - 1 0 2 5 8 5 号公報（第 5 - 6 頁、第 1 図）参照）。

【0005】

【発明が解決しようとする課題】

ところで、単結晶シリコン基板に作り込むMOSトランジスタの製造技術では、熱酸化法を有効に利用して高品質のゲート絶縁膜を形成することが可能である。一方、バリウムホウケイ酸ガラスやアルミノシリケートガラスなどのガラスを基板として用いる場合には、500℃以上の高温で熱処理すると数十ppm以上の割合で基板が収縮してしまい、工程の途中で高温の熱処理を加えると、特に光露光工程で支障をきたし複数のマスクパターンを重ね合わせて素子を完成させることが不可能となる。その影響はマスクの設計ルール（デザインルール）がサブミクロンレベルに微細化するにつれて顕在化する。従って、ゲート絶縁膜を例とすれば、スパッタリング法や気相成長（CVD）法など化学的又は物理的な現象を利用して被膜を堆積しながら形成する技術が採用されている。

【0006】

しかしながら、プラズマCVD法やスパッタリング法などプラズマを用いて化学的又は物理的な反応を利用して堆積形成した酸化シリコンや窒化シリコンなどの絶縁膜は、荷電粒子により損傷を受け欠陥やピンホールが出来やすく、それにより固定電荷や界面準位が多く形成されてしまうことが欠点となっている。また、数原子%の水素が膜中に含まれることで、熱的な安定性が欠落し、素子特性の不安定さを助長する要因となっている。

【0007】

その一方で、TFETを用いて形成する集積回路の微細化の進展により、スケールリング則に基づくゲート絶縁膜の薄膜化が必要となって来る。すなわち、ゲート絶縁膜の厚さを維持したまま、TFETの平面的寸法のみを小さくしても、特性のばらつきが大きくなり、TFETの駆動能力も向上しないので結局はそれを使った装置の高性能化を実現することが不可能となる。

【0008】

しかし、シリコンを900℃以上の温度で酸化する清浄な酸化シリコン膜と異なり、所詮400℃以下の温度で堆積形成する酸化シリコン膜や窒化シリコン膜では固定電荷や界面準位密度の影響が露呈し、しきい値電圧の変動やゲートリー

クを低減することは実質的に不可能であった。

【0009】

熱処理による膜質の改質は、それが熱活性化型の反応であれば、より高温でその効果を発現させることができる。しかし、上記特許文献1であるように、ガラス基板と多結晶シリコン膜との間に形成した金属膜で熱を蓄積する方法では素子の形状に制限を受けるし、本当に必要な部位に効果的な熱処理を行うことが出来ない。例えば、半導体層上に形成したゲート絶縁膜の熱処理による改質を効果的に行うことが不可能である。

【0010】

本発明は、上記問題点を鑑みなされたものであり、ガラスなど熱的に脆弱な基板上に作り込むトランジスタに対し、熱処理による基板の収縮の影響を無くして、その上で緻密で高品質の絶縁膜を形成する技術、並びにそれを用いて高性能で高信頼性を実現する半導体装置を適用することを目的とする。また、別には、優れた絶縁層を用いたトランジスタを構成素子とする大面積集積回路を有する半導体装置を提供することを目的とする。

【0011】

【課題を解決するための手段】

本発明の要旨は、ガラスなど熱的に脆弱な基板を用いてTFTに代表されるような複数の薄膜を積層して成る薄膜素子を形成する工程において必要となる熱処理を、該基板に熱的な損傷を与えることなく行うために、薄膜素子が形成される基板の特定部分に、熱源からの輻射を吸収する被膜を局所的に形成して熱処理（好ましくは熱源としてランプを用いる瞬間熱アニールである）を行うものである。すなわち、本発明において適用する基板は、熱源からの輻射に対して透明性を有しその輻射により加熱されにくい素材が適用され、当該基板の主表面上に熱源からの輻射を吸収する被膜を局所的に設けて熱処理（好ましくは熱源としてランプを用いる瞬間熱アニールである）を行うものである。このような本発明の要旨は、以下に示す構成を包含することができる。

【0012】

少なくとも可視光域から赤外域までの波長域の非可干渉性の電磁波を輻射する

熱源で熱処理を行う工程を含む半導体装置の作製方法であって、ガラス基板上に前記電磁波の輻射により加熱される導電層を形成し、ガラス基板と導電層との間に導電層の内側に位置する半導体層と、半導体層の上面及び側面を被覆する絶縁層とを形成し、電磁波の照射により導電層が形成された領域を選択的に加熱して、半導体層及び前記絶縁層の熱処理を行う工程を含むものとする。基板の形態としては、可視光域から赤外域までの波長域の非可干渉性の電磁波の透過率が50%以上のものであり、代表的にはバリウムホウケイ酸ガラスやアルミノシリケートガラスなどが選択される。

【0013】

絶縁表面を有するガラス基板上に、一辺の長さが前記ガラス基板の厚さと同じ又はそれ以下であり、好ましくはその1/5以下であるようにパターン形成された導電層と、ガラス基板と導電層との間に、その導電層の内側に位置する半導体層と該半導体層の上面及び側面を被覆する絶縁層とを設け、少なくとも可視光域から赤外域までの波長域の非可干渉性の光を輻射する熱源を用いて導電層が形成された領域を選択的に加熱して、半導体層及び前記絶縁層の熱処理を行う工程を含むものとする。基板の形態としては、可視光域から赤外域までの波長域の非可干渉性の電磁波の透過率が50%以上、好ましくは80%以上のものであり、代表的にはバリウムホウケイ酸ガラスやアルミノシリケートガラスなどが選択される。

【0014】

絶縁表面を有する基板上に、島状に分割した半導体層を形成し、半導体層上に絶縁層を介して該半導体層の全面を被覆し且つ端部が外側に位置する導電層を形成し、少なくとも可視光域から赤外域までの波長域の非可干渉性の電磁波を照射して、導電層が形成された領域を選択的に加熱して、半導体層及び前記絶縁層の熱処理を行う工程を含むものとする。或いは、絶縁表面を有する基板上に、第1絶縁層を形成し、第1絶縁層上に島状に分割した半導体層を形成し、半導体層の上面及び側面を覆う第2絶縁層を形成し、第2絶縁層上に半導体層の上面及び端面を覆い端部が該半導体層の外側に位置する導電層を形成し、少なくとも可視光域から赤外域までの波長域の非可干渉性の電磁波を照射して、導電層が形成され

た領域を選択的に加熱して半導体層及び前記絶縁層の熱処理を行い、金属層及び前記導電層をエッチングして半導体層と重畳するゲート電極を形成する各段階を含むものとする。

【0015】

ガラス基板上に、島状に分割した半導体層を形成し、半導体層上に絶縁層を介して該半導体層の全面を被覆してかつ端部が外側に位置する導電層を形成し、少なくとも可視光域から赤外域までの波長域の非可干渉性の電磁波を30～300秒間照射して、導電層が形成された領域を選択的に加熱することにより半導体層及び前記絶縁層の熱処理を行う工程を含むものとする。或いは、熱源から輻射される可視光域から赤外域までの波長域の非可干渉性の電磁波の透過率が50%以上（好ましくは80%以上）である基板上に島状に分割した半導体層を形成し、半導体層上に絶縁層を介して、該半導体層の全面を被覆してかつ端部が外側に位置する導電層を形成し、熱源の輻射により導電層が形成された領域を選択的に30～300秒間加熱して、半導体層及び前記絶縁層の熱処理を行う工程を含むものである。

【0016】

導電層は金属、金属合金、金属化合物、シリサイドなどである。好ましくはモリブデン（Mo）、タングステン（W）、チタン（Ti）などの高融点金属、窒化チタン（TiN）、窒化タンタル（Ta₂N₅）、窒化タングステン（WN）などの金属窒化物、タングステンシリサイド（WSi₂）、モリブデンシリサイド（MoSi₂）、チタンシリサイド（TiSi₂）、タンタルシリサイド（TaSi₂）、クロムシリサイド（CrSi₂）、コバルトシリサイド（CoSi₂）、白金シリサイド（PtSi₂）などのシリサイドである。また、リンやボロンをドーピングした多結晶シリコンを用いても良い。

【0017】

上記した本発明の構成は、特にTFETのチャネル部やソース及びドレインを形成する半導体層とゲート絶縁膜の積層体の改質を目的とした熱処理に適用することができ、その際に形成する導電層は熱処理後にゲート電極の一部として残存させることもできる。

【0018】

また、熱処理はタングステンハロゲンランプやメタルハライドランプなど可視光域から赤外域の波長域に輻射スペクトルを有するランプを熱源として用いる瞬間熱アニール法を適用し、基板に局所的に熱源からの輻射を吸収し熱に変換する導電層を設けることで、実質的にはその部位において当該基板の歪み点以上の温度で熱処理をすることを可能としている。

【0019】

このように、基板と導電層との間にその導電層の内側に端部が位置する半導体層と、該半導体層の上面及び側面を被覆する絶縁層を形成し、可視光域から赤外域までの波長域の非可干渉性の電磁波を輻射する熱源で熱処理をすることで、その導電層が形成された領域が加熱されるので、半導体層は均一に加熱されることになる。すなわち、半導体層に局所的な応力が作用しないようにすることができる。よって、TFTの活性層を形成する半導体層において、特にゲートを形成する部位に応力が残留することを防ぐことができる。

【0020】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照しながら説明する。但し、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は本実施の形態の記載内容に限定して解釈されるものではない。

【0021】

本発明は基板上に半導体、絶縁体又は導電体の薄膜を適宜積層して形成する薄膜素子において、その作製工程において必要となる熱処理の効果を有効に発現させるものである。特に本発明は、歪み点温度が700℃以下であるガラスなど熱的に脆弱な基板を用いてTFTに代表される薄膜素子を形成する工程において必要とする熱処理を該基板に熱的な損傷を与えることなく行うために、基板上であって当該薄膜素子を形成する特定部位を選択的に加熱するものである。そのため、熱源からの輻射を受けてその部位の温度を上昇させることが可能な被膜を局

所的に形成して熱処理を行うものである。その目的に適合する熱処理の方法は、熱源に非可干渉性の電磁波を輻射するものであって、例えばタングステンハロゲンランプやメタルハライドランプなど可視光域から赤外域の波長の電磁波を輻射するものを熱源とするランプアニール法又は瞬間熱アニール（RTA）法と呼ばれる熱処手段を用いる。

【0022】

本発明に適用する熱処理装置の一例を図3に示している。この熱処理装置の主要部はタングステンハロゲンランプを熱源202として、その輻射を透過するように石英などで形成される反応管201、反応管201内に不活性気体を供給する気体供給手段205、反応管201内の気体を排出する排気手段206、反応管201内にあって熱源202の輻射により上昇する温度をモニターする温度検出手段204などで構成されている。

【0023】

反応管201内に載置される基板207の一主表面には、半導体層や絶縁体膜で所定の形状に形作られた構造物と、それを覆う導電層209が設けられている。熱源202からの輻射はその制御電源203によりパルス状に行い、500～800℃の加熱設定温度に対し100～200℃/秒の昇温速度で加熱する。加熱設定温度は温度検出手段204が検知する温度であり目標とする熱処理温度に相当する。熱処理温度と熱処理時間との関係は、基板の耐熱温度との兼ね合いで考慮するものであり、アルミノシリケートガラスなどガラス基板に対しては歪み点の一つの目安となる。歪み点以下の温度で行う熱処理は、比較的長い時間の加熱が可能であり、300秒以上の加熱も許容される。一方、より積極的に熱処理効果を得るためには歪み点以上の加熱温度が有効であり、その場合には30～300秒程度の加熱時間とする。勿論この加熱時間は積算時間として捉えることも可能であり、熱源202からパルス状の加熱を一回又は複数回繰り返しても良い。

【0024】

少なくとも可視光域から赤外域までの波長域の非可干渉性の電磁波を輻射する熱源を用いる熱処理方法と、該波長域の電磁波の透過率が50%以上の基板上に

、該電磁波を吸収する導電層を形成する組み合わせは、基板上の形成物を対象とした局所的な熱処理を可能としている。

【0025】

本発明において適用される基板は可視光域の光に対して透明な物質であり、バリウムホウケイ酸ガラスやアルミノシリケートガラスなど無アルカリガラスと呼ばれ市販されているガラス基板が含まれている。また、石英やサファイアなどを基板として用いても良い。これらの基板は、可視光域から赤外域までの波長域の非可干渉性の電磁波の透過率が50%以上、好ましくは80%以上の特性を有している。

【0026】

導電層としてはモリブデン (Mo)、タングステン (W)、チタン (Ti) などの高融点金属、窒化チタン (TiN)、窒化タンタル (Ta₂N₃)、窒化タングステン (WN) などの金属窒化物、タングステンシリサイド (WSi₂)、モリブデンシリサイド (MoSi₂)、チタンシリサイド (TiSi₂)、タンタルシリサイド (TaSi₂)、クロムシリサイド (CrSi₂)、コバルトシリサイド (CoSi₂)、白金シリサイド (PtSi₂) などのシリサイドである。また、リンやボロンをドーピングした多結晶シリコンを用いても良い。

【0027】

図4は、アルミノシリケートを素材とする厚さ0.7mmのガラス基板と、30nmの厚さで形成した窒化タンタルの透過率と反射率を示すグラフである。また、同図にはタングステンハロゲンランプの輻射スペクトルが同じ波長軸で挿入されている。熱源の輻射スペクトルの波長範囲においてガラス基板の透過率は90%以上の値を有している。このため熱源の輻射に晒されても基板は加熱されにくい。一方、窒化タンタルは透過率が50%であり、反射率は15%であるので、35%の吸収を見積もることができる。従って、熱源スペクトルに対しその波長域で吸収体となる性質を有する導電層を、当該スペクトルに対し透明な基板上に部分的に形成することで、局所的な加熱をすることができる。

【0028】

図1はこの局所加熱で行う本発明に係る熱処理の詳細を説明するものである。

図1 (A) は断面構造を示し、第1絶縁層102、島状に形成された半導体層103、第2絶縁層104、105、導電層106が形成された基板101を熱源107の輻射で熱処理をする形態を示している。熱源107は上記半導体層103や導電層106などが形成された基板101の第1主表面に対向して配置してそのほぼ全面を照射するように行う。また、熱源を当該第1主表面とは反対側の第2主表面側にも配置して両面から照射しても良いし、いずれか一方の片面側から行えば良い。

【0029】

導電層106は半導体層103を覆い、その端部は半導体層103の端部の外側に位置するように形成する。基板101においても、導電層106が形成された領域と、そうでない領域とは必然的に上昇する温度は異なるので、熱ストレスはその境界部108に集中する。この部位に半導体層103を配置しないことで熱ストレスによる歪みを無くしている。図1 (B) はその上面図であり、半導体層103上に形成する導電層106が張り出す長さx、yは1～5 μm 、好ましくは2～3 μm である。半導体層103と同様に島状に形成する導電層106は、局所的に設けてその領域が選択的に加熱されるようにして、基板101の全体の歪みを防止している。その効果を有利に発現させるためには、一つの島状に形成された導電層106の一辺の長さは基板101の板厚と同程度かそれ以下とする。特に好ましくは一辺が基板の板厚の1/5以下とする。導電層106の一辺の長さがそれ以上となると、結局は基板を歪ませる力が優位となり、基板を変形させることになってしまう。

【0030】

導電層106は熱処理後に全体を除去しても良いし、有効利用する目的においてはエッチング加工して配線や電極部材の一部としても良い。図2 (A) (B) は導電層106の一部を残存させてゲート電極の一部とするものである。当初の導電層106をエッチング加工で端部を後退させ所定の形状とする。加工された導電層109はそれをゲート電極としても良いし、その上に第2導電層110を形成して、全体としてはトップハット型のゲート電極を形成しても良い。

【0031】

導電層 109、110 で成るトップハット型のゲート電極は、その特徴的な形状を利用してゲートオーバーラップ LDD (Lightly Doped Drain: 低濃度ドレイン) 構造の TFT を形成することができる。これは、導電層 109 の厚さと第 2 導電層 110 の厚さを異ならせて後者を厚くすることにより、イオンの阻止能を持たせて導電層 109 とオーバーラップをする不純物領域 111 を形成することで実現する。図 2 (B) はこの構造の上面図であり、導電層 109 と第 2 導電層 110 とで形成されるゲート電極において、チャンネル長 (ゲート長) (L_i) は第 2 導電層 110 の長さで確定され、ゲートオーバーラップ LDD の長さ (L_{ov}) は導電層 109 の突出部の長さがこれに相当する。

【0032】

本発明の好ましい態様としてゲート絶縁膜には、シリコンをターゲットとして、酸素又は酸素と希ガスを含む雰囲気中で高周波電力を印加してスパッタリング法により形成する酸化シリコン膜と、窒素又は窒素と希ガスを含む雰囲気中で高周波電力を印加してスパッタリング法により形成する窒化シリコン膜との積層体を用いる。当該積層体は 400℃ 以下、好ましくは 300℃ 以下の基板加熱温度で堆積形成するものであり、成膜後それより高い温度の熱処理により積層界面欠陥密度や膜中欠陥密度及び歪みなどを低減させることが可能となる。好適には 600～800℃ の温度で熱処理する。熱処理においては図 1 に示すように基板 101 の特定部位に局所的に導電層を設けて、その部位を 30～300 秒の加熱時間で局所的に加熱することによって前記温度範囲であっても歪み点が 700℃ 以下の熱的に脆弱なガラス基板に対して、熱による歪みを抑えることが可能となり、積層界面欠陥密度や膜中欠陥密度及び歪みなどを低減させることが可能となる。

【0033】

高周波スパッタリングにより、シリコンをターゲットとして酸化シリコン及び窒化シリコン膜を形成する場合、酸化シリコン膜の主要な成膜条件としては、ターゲットにシリコンを用い、酸素又は酸素と希ガスをスパッタガスとして用いる。窒化シリコン膜も同様にシリコンターゲットを用い、窒素又は窒素と希ガスをスパッタガスとして用いる。印加する高周波電力の周波数は、典型的には 13.

56 MHzであるが、それより高い27～120 MHzの周波数を適用しても良い。周波数の増加に従って成膜の機構はより化学的反應が優先的となり、緻密で下地へのダメージが少ない膜形成が期待できる。スパッタガスとして用いる希ガスは、基板を加熱するためのガスとして図6で示したように基板の裏側から導入して用いる場合もある。基板の加熱温度は、特に加熱をせず室温の状態で成膜をしても良いが、下地との密着性をより高めるには100～300℃、好ましくは150～200℃で加熱をすると良好な密着性が得られる。

【0034】

本発明が適用するスパッタリング法は、酸素と希ガス又は窒素と希ガスとの混合比が最大で1対1となる範囲内で選択するものであり、特に酸素や窒素のラジカル種を積極的に反應に利用することで従来のイオン衝撃による物理的なスパッタリング現象による成膜メカニズムとは異なる。すなわち、ターゲット表面及び被膜堆積表面において酸素又は窒素のラジカルとシリコンとが相互に反應させることを特徴とする点で化学的な成膜メカニズムが支配的となっていると考えることができる。

【0035】

つまり、ターゲットに高周波電力の印加によりグロー放電プラズマが形成されると、酸素又は窒素のラジカルの中で化学的に極めて活性なものは、低エネルギーでもシリコンと反應して酸化物又は窒化物を形成する。つまり、ターゲット表面に拡散した酸素又は窒素の活性なラジカルは、シリコンと反應して酸化物又は窒化物を形成する。シリコンの酸化物又は窒化物は安定であるが、ターゲット表面にスイオンがシース電界で加速されて入射すると、スパッタリングされ気相中に放出される。グロー放電プラズマ中を拡散するシリコンの酸化物又は窒化物は、プラズマ中でも気相反應をして一部は基板表面に達する。そこでシリコンの酸化物又は窒化物は表面反應して被膜が形成される。表面反應においてもプラズマ電位と接地電位との電位差により加速されて入射するイオン種の援助が作用していると考えられる。

【0036】

このような成膜機構は、供給する酸素や窒素よりも希ガスの混合割合を高めて

しまうと、希ガスイオンによるスパッタリングが支配的となり（つまり物理的なスパッタリングが支配的となり）実現することはできない。理想的には、酸素又は窒素ガスのみとすれば良いが、成膜速度が著しく低下するので、希ガスとの混合比が最大で 1 対 1 となる範囲内で選択することが好ましい。

【0037】

勿論、確率的にはシリコンの微小な塊（クラスター）がスパッタリングされて堆積する被膜中に混入する場合もある。酸化シリコン膜又は窒化シリコン膜中に取り込まれたシリコンクラスターは電荷を捕獲する欠陥となりヒステリシスを生じさせる原因となる。スパッタリングによるこの種の被膜を形成した後に行う熱処理は、この欠陥を消滅させるのに有効な手段となる。すなわち、酸素又は窒素を供給してシリコンクラスターを酸化又は窒化させることにより、荷電欠陥の生成を消滅させることができる。酸化又は窒化反応は、気相中から供給する酸素又は窒素に限定されず、膜中に含まれる過剰な酸素又は窒素と反応させても良い。

【0038】

以上のように、本発明によれば、シリコンターゲットを用いた高周波スパッタリング法と熱処理を組み合わせることにより、基板温度が 300℃以下の温度で、熱的に脆弱なガラス基板上においても緻密で熱的及び電気的な外因性のストレスに対して安定な酸化シリコン膜及び窒化シリコン膜を得ることができる。このような酸化シリコン膜及び窒化シリコン膜とその積層体は、絶縁ゲート型電界効果トランジスタであり、特に熱的に脆弱なガラス基板上に形成する薄膜トランジスタのゲート絶縁膜として用いると有益となる。勿論、この酸化シリコン膜及び窒化シリコン膜、或いはその積層体はゲート絶縁膜に限定されず、半導体層と基板間の形成する下地絶縁膜や、配線間を絶縁する層間絶縁膜、外部からの不純物の侵入を阻止する保護膜など様々な用途に適用することができる。

【0039】

上記本発明に係る熱処理の方法を用いた半導体装置の態様について、以下に図面を用いて詳細に説明する。

【0040】

（第 1 の実施の形態）

シリコンをターゲットとして高周波スパッタリング法で形成する酸化シリコン膜と窒化シリコン膜を積層させ熱処理を行った積層体に、本発明の局所加熱アニールを加えてTFTを完成させる一形態について説明する。

【0041】

図5はガラス基板上に結晶性シリコン膜を形成する工程を示す図である。基板201に対し、本発明において適用することのできるものは、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、アルミノシリケートガラスなどを素材とするガラス基板が適している。例えばコーニング社製の1737ガラス基板（歪み点667℃）、旭硝子社製のAN100（歪み点670℃）などであり、勿論他の同様な基板であれば特段の限定はない。いずれにしても本発明においては歪み点700℃以下のガラス基板を適用することが可能である。勿論、耐熱温度が1000℃以上である合成石英基板を適用しても良い。

【0042】

まず、図5（A）で示すように、ガラス基板201上に酸化シリコン膜、窒化シリコン膜又は酸窒化シリコン膜（ SiO_xN_y ）等の絶縁膜から成る第1絶縁層202を形成する。代表的には SiH_4 、 NH_3 、及び N_2O を反応ガスとしてプラズマCVDにより400℃の基板加熱温度で成膜され窒素含有量が酸素含有量よりも多い又は同程度の第1酸窒化シリコン膜と、 SiH_4 、及び N_2O を反応ガスとしてプラズマCVDにより400℃の基板加熱温度で成膜され酸素含有量が窒素含有量よりも多い第2酸窒化シリコン膜を積層形成する構造である。

【0043】

この構成において、第1酸窒化シリコン膜を高周波スパッタリング法で形成する窒化シリコン膜と置き換えても良い。当該窒化シリコン膜はナトリウム（Na）などガラス基板に微量に含まれるアルカリ金属が拡散するのを防ぐことができる。

【0044】

TFTのチャネル部やソース及びドレイン部を形成する半導体層は、第1絶縁層202上に形成した非晶質シリコン膜203を結晶化して得る。プラズマCVD法で300℃の基板加熱温度で成膜する非晶質シリコン膜は20～60nmの厚

さで形成する。この膜の厚さの上限はTFTのチャネル形成領域において完全空乏型として動作させるための上限値であり、この膜厚の下限值はプロセス上の制約であり、結晶性シリコン膜のエッチング工程において選択加工する場合に必要な最小値として決めている。また、非晶質シリコン膜に換えて、非晶質シリコンゲルマニウム ($\text{Si}_{1-x}\text{Ge}_x$; $x = 0.001 \sim 0.05$) 膜を適用しても良い。

【0045】

結晶化はニッケル (Ni) など半導体の結晶化に対し触媒作用のある金属元素を添加して結晶化させて行う。図5 (A) ではニッケル (Ni) 含有層204を非晶質シリコン膜203上に保持させた後、輻射加熱又は伝導加熱による熱処理で結晶化を行う。例えば、ランプの輻射を熱源としたRTA、又は加熱された気体を用いるRTA (ガスRTA) で740℃で180秒のRTAを行う。他の方法としては、ファーネスアニール炉を用いて550℃にて4時間の熱処理があり、これを用いても良い。結晶化温度の低温化及び時短化は触媒作用のある金属元素の作用によるものである。

【0046】

結晶性シリコン膜207に対し、更に結晶性を向上させるためパルス発振のエキシマレーザー、或いはパルス発振のYAGレーザー、YVO₄レーザー、YLFレーザーなど固体レーザーの第2高調波を照射するレーザーアニールを行う。レーザーアニールでは当該レーザー発振器を光源とするレーザー光206を光学系にて線状に集光して照射する (図5 (B))。

【0047】

パルスレーザー光を照射した場合には、表面の平坦性が損なわれる場合がある。表面に形成された多数の凸状部をなくして平滑性を高めるにはオゾン水含有水溶液による酸化処理と、フッ酸含有水溶液による酸化膜除去処理を1回、好ましくは複数回繰り返すことで実現することができる。チャネル長0.35～2.5 μm のTFTを作製するために、ゲート絶縁膜の実質的な厚さを20～80nmと、結晶性シリコン膜の表面の平滑性に関し、凹凸形状の最大値を10nm以下好ましくは5nm以下にする。

【 0 0 4 8 】

図 6 で示すゲッターリングは、結晶性シリコン膜中に含まれる金属などの不純物を除去するために行う。特に、結晶化の工程で意図的に添加した触媒作用のある金属を $1 \times 10^{17}/\text{cm}^3$ 以下の濃度にまで低減するのに有効である。薄膜状に形成した結晶性シリコン膜に対してゲッターリングを行うには、新たにゲッターリングサイトを形成する必要がある。図 6 では結晶性シリコン膜 2 0 8 上にバリア層 2 0 9 を介在させて非晶質シリコン膜 2 1 0 を形成してゲッターリングサイトとしている。非晶質シリコン膜 2 1 0 にはリンやボロンなどの不純物元素、又は Ar、Kr、Xe などの希ガス元素、酸素、窒素などを $1 \times 10^{20}/\text{cm}^3$ 以上含ませて歪み場を形成する。好ましい形成方法として高周波スパッタリングで Ar をスパッタガスとして非晶質シリコン膜を形成する。成膜時の基板加熱温度は任意であるが、例えば 150°C とするれば十分である。

【 0 0 4 9 】

熱処理は、輻射加熱又は伝導加熱により行う。例えば、ランプを熱源とする RTA、又は加熱された気体を用いる RTA（ガス RTA）で 750°C で 180 秒の RTA を行う。或いは、ファーネスアニール炉を用いて 550°C にて 4 時間の熱処理を行う。この熱処理により金属元素は非晶質シリコン膜 2 1 0 側に偏析して、結果的に結晶性シリコン膜 2 0 8 の高純度化をすることができる。熱処理後、非晶質シリコン膜 2 1 0 は NF_3 や CF_4 を用いたドライエッチング、 ClF_3 によるプラズマを用いないドライエッチング、或いはヒドラジンや、テトラエチルアンモニウムヒドロオキシド（化学式 $(\text{CH}_3)_4\text{NOH}$ ）を含む水溶液などアルカリ溶液によるウエットエッチングで除去する。またバリア層 2 0 9 はフッ酸でエッチング除去する。

【 0 0 5 0 】

その後、得られた結晶性シリコン膜 2 0 8 を写真蝕刻により所望の形状にエッチング処理して島状に分割する。図 7（A）で示す半導体層 2 1 2 はこうして形成され、TFT のチャネル領域やソース及びドレインなどを形成する主要構成部となる。この半導体層 2 1 2 に対し、しきい値電圧をプラス側にシフトするには p 型を付与する不純物元素を、マイナス側にシフトさせるには n 型を付与する不

純物元素を添加する。

【0051】

次いで、半導体層 212 上にゲート絶縁膜を形成する酸化シリコン膜 214、窒化シリコン膜 215 を高周波スパッタリング法で成膜して、さらに大気に晒すことなく同一装置内で R T A による熱処理を行う。

【0052】

スパッタリングによる成膜に先立って、半導体層 212 の表面を清浄にするためにオゾン水含有水溶液による酸化処理と、フッ酸含有水溶液による酸化膜除去処理を行い、半導体層 212 の表面をエッチングすると共に水素で表面ダングリングボンドを終端して不活性にする。その後、高周波スパッタリング法によりシリコン (B ドープ、 $1 \sim 10 \Omega \text{cm}$) をターゲットとして酸化シリコン膜を $10 \sim 60 \text{nm}$ の厚さで形成する。代表的な成膜条件は、スパッタガスに O_2 と Ar を用いその混合比 (流量比) を 1 対 3 とする。スパッタリング時の圧力 0.4Pa 、放電電力 4.1W/cm^2 (13.56MHz)、基板加熱温度 200°C とする。この条件により半導体層と界面準位密度が低く、緻密な酸化シリコン膜 213 を形成することができる。また、酸化シリコン膜の堆積に先立って、予備加熱室 103 で減圧下の加熱処理や酸素プラズマ処理などの表面処理を行っても良い。酸素プラズマ処理により表面を酸化しておくことで界面準位密度を低減させることができる。次いで、高周波スパッタリング法にて窒化シリコン膜 214 を $10 \sim 30 \text{nm}$ の厚さで形成する。代表的な成膜条件は、スパッタガスに N_2 と Ar を用いその混合比 (流量比) を 1 対 1 とする。スパッタリング時の圧力 0.8Pa 、放電電力 4.1W/cm^2 (13.56MHz) 基板加熱温度 200°C とする。

【0053】

この積層構造のゲート絶縁膜は、実質的にはその薄膜化を図るのと同等の効果を得ることができる。これは酸化シリコンの比誘電率 3.8 に対し窒化シリコンの比誘電率は約 7.5 であることに由来している。半導体層の表面の平滑性に関し、凹凸形状の最大値を 10nm 以下好ましくは 5nm 以下とし、ゲート絶縁膜において酸化シリコン膜と窒化シリコン膜の 2 層構造とすることで、当該ゲート絶縁膜の全厚さを $30 \sim 80 \text{nm}$ としてもゲートリーク電流を低減させ、 $2.5 \sim 10$

V、代表的には3.0～5.5VでTF Tを駆動させることができる。

【0054】

酸化シリコン膜213と窒化シリコン膜214の積層体を形成した後、導電層215を形成する。導電層215はモリブデン(Mo)、タングステン(W)、チタン(Ti)などの高融点金属、窒化チタン、窒化タンタル、窒化タングステンなどの金属窒化物、タングステンシリサイド(WSi_2)、モリブデンシリサイド($MoSi_2$)、チタンシリサイド($TiSi_2$)、タンタルシリサイド($TaSi_2$)、クロムシリサイド($CrSi_2$)、コバルトシリサイド($CoSi_2$)、白金シリサイド($PtSi_2$)などのシリサイド、リンやボロンをドーピングした多結晶シリコンなどこの種の材料から選択される。

【0055】

導電層215の厚さは10～100nm、好ましくは20～50nmとする。導電層215の膜厚が10nmよりも薄い場合は、熱源からの輻射を十分吸収できず、100nmよりも厚い場合には半導体層側が十分加熱されないので、上記膜厚の範囲が適用される。図11(A)はこの状態の上面図を示し、導電層215を形成する位置は、半導体層212の全面を被覆して且つその端部が外側に位置するように配設する。

【0056】

図7(B)で示すように、タングステンハロゲンランプを熱源216とする熱処理はこの段階で行い、窒素雰囲気中にて600～800℃で30～300秒、好ましくは700～760℃、30～180秒の熱処理を行う。導電層215が熱源216からの輻射を吸収するため形成された基板201の領域は、他の領域よりも加熱されて局所加熱を可能としている。この処理により、膜中に取り込まれた微小なシリコンクラスターを酸化若しくは窒化させ、また、内部歪みを緩和して膜中欠陥密度、界面欠陥準位密度を低減させることができる。

【0057】

その後、図7(C)で示すように、第2導電膜217としてタンタル(Ta)、タングステン(W)、チタン(Ti)、モリブデン(Mo)、アルミニウム(Al)、銅(Cu)から選ばれた元素又は当該金属元素を主成分とする合金材料

もしくは化合物材料を堆積する。導電膜 215 と第 2 導電膜 217 とを加工してゲート電極を形成するが、その好ましい組み合わせは第導電膜 215 を窒化タンタル (Ta₂N₅) 膜で形成し、第 2 導電膜 217 をタングステン (W) とする組み合わせ、第 1 導電膜 215 を窒化タンタル (Ta₂N₅) 膜で形成し、第 2 導電膜 217 を Ti 膜とする組み合わせである。

【0058】

次に、図 8 (A) で示すように、ゲート電極パターンを形成するレジストマスク 205 を設けてドライエッチングにより第 1 エッチング処理を行う。エッチングには例えば ICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法が適用される。エッチング用ガスに限定はないが、タングステン (W) や窒化タンタル (Ta₂N₅) のエッチングには CF₄ と C₂H₂ と O₂ とを用いる。第 1 エッチング処理では、基板側には所定のバイアス電圧を印加して、形成される第 1 形状のゲート電極パターン 218、219 の側面に 15°～50° の傾斜角を持たせる。エッチング条件にもよるが、第 1 エッチング処理によりゲート絶縁膜として形成された窒化シリコン膜 214 は、第 1 形状のゲート電極パターン 218、219 の下部において残存し、酸化シリコン膜 213 が露出する。

【0059】

この後、第 2 エッチング条件に変え、エッチング用ガスに SF₆ と C₂H₂ と O₂ とを用い、基板側に印加するバイアス電圧を所定の値として、タングステン (W) 膜の異方性エッチングを行う。こうして導電層 218 と第 2 導電層 225 の 2 層構造から成るゲート電極を形成する (図 8 (B))。

【0060】

なお、図 8 (A) ～ (B) の工程において、配線 220 及び 226 は第 2 導電層と同一層で形成されるものであり、図 11 (B) ～ (C) の上面図と対比して明らかなようにゲート電極と連続して形成することもできる。

【0061】

ゲート電極は導電層 218 と第 2 導電層 225 との積層構造体であり、断面形状で表すと導電層 218 が底のように突出した構造 (トップハット型) を有している。その後、図 8 (C) で示すようにドーピング処理を行う。価電子制御用の

不純物イオンを電界で加速して注入するドーピング法では、イオンの加速電圧を適宜調節することにより半導体層 212 に形成する不純物領域の濃度を異ならせることも可能である。すなわち、導電層 218 の底部を透過するように高加速電圧で一導電型の不純物イオンを注入して、ゲート電極とオーバーラップする第 1 不純物領域 227 を形成し、その後、図 8 (D) で示すように、導電層 218 の底部を不純物イオンが透過しない低加速電圧で一導電型のイオンを注入して第 2 不純物領域 228 を形成する。このようなドーピング方法により所謂ゲートオーバーラップ LDD 構造の TFT を形成することができる。

【0062】

一導電型の不純物として、n 型不純物（ドナー）であればリン又はヒ素などの周期律 15 族元素であり、p 型不純物（アクセプタ）であればボロンなどの周期律 13 族元素である。これらの不純物を適宜選択することにより n チャネル型又は p チャネル型の TFT を作製することができる。また、n チャネル型と p チャネル型の TFT を同一基板上に作り込むことも、ドーピング用のマスクパターンを追加するのみで容易に実施することができる。

【0063】

ソース及びドレインを形成する第 2 不純物領域 228、LDD を形成する第 1 不純物領域 227 の活性化はパルスレーザー又は連続発振レーザー 229 を照射するレーザーアニールで行う。500℃以上に加熱するファーンেসアニールで活性化をすることも可能であるが、ゲートの位置が確定した後では、基板 201 が熱により収縮して後の工程でのマスクの位置合わせに支障を来さないために、この段階では基板 201 を加熱することなく活性化が可能なレーザーアニールが適している。特にチャネル長が 0.3～1.5 μm で加工するためにはレーザーアニールを用いて行い、パターンの寸法精度を確保しておく。

【0064】

そして、図 9 (A) に示すように第 3 絶縁層 230 に水素を含有する酸化シリコン膜を SiH₄、N₂O、NH₃、H₂ の混合ガスを用いてプラズマ CVD 法により基板加熱温度 325℃で形成する。膜厚は 50～200nm の厚さとし、その後、窒素雰囲気中で 410℃の加熱処理により半導体層の水素化を行う。

【0065】

その後、第3絶縁層230にコンタクトホールを形成し、Al、Ti、Mo、Wなどを用いて配線231を適宜形成する。配線構造の一例は、膜厚50～250nmのTi膜と、膜厚300～500nmの合金膜（AlとTiとの合金膜）との積層膜を用いる（図9（B））。

【0066】

図15は以上の工程について、基板の加熱温度に着目してその推移をグラフにしたものである。本実施の形態で示す工程は非晶質シリコン膜の結晶化、ゲッタリングを目的とした熱処理、そして局所加熱による熱処理工程でRTAを行い、最高温度が700℃を越えている。RTAは100℃/秒で急速加熱が可能であるものの、この熱処理によるガラス基板の収縮は避けられない。しかしながら、ガラス基板上に島状の半導体層を形成する工程以降に着目すると、ゲート絶縁膜の改質を目的とした局所加熱の熱処理のみであり、基板の収縮が抑えられパターンの寸法変化を最小限にとどめることが可能となる。

【0067】

すなわち、本実施の形態の工程によれば、TFETのゲート部を形成する工程において必要とされる熱処理で、半導体層が形成された部分は均一に加熱されるが、他の部分はさほど加熱されず、ガラス基板の収縮がないことから、ゲート部まわりの寸法精度が確保され、チャネル長0.3～1.5μmのTFETをガラス基板上に形成することを可能とする。

【0068】

こうして、ゲートオーバーラップLDD構造のTFETを完成させることができる。シリコンをターゲットとして高周波スパッタリング法で作製する酸化シリコン膜と窒化シリコン膜を積層させ、パターン形成した導電層を用いて局所的に加熱する熱処理を行った積層体をTFETのゲート絶縁膜に適用することにより、しきい値電圧やサブスレッショルド特性の変動が少ないTFETを得ることができる。すなわち、水素を含有せず、熱処理により固定電荷などを含まない緻密な酸化シリコン膜又は酸化シリコン膜と窒化シリコン膜の積層体でゲート絶縁膜を形成することが可能であり、TFETの特性安定化に寄与することができる。

【0069】

また、本実施の形態によればゲート電極に接続するゲート配線は、第2導電層で形成するので、配線幅を自由に設定することができ（下層の導電層による庇が存在しない）、配線の高密度化を実現することができる。

【0070】

（第2の実施の形態）

第1の実施の形態と同様にして、図9（A）で示す水素化の工程までを行う。その後、図10（A）で示すように第3絶縁層230上に、第4絶縁層232を高周波スパッタリング法でシリコンをターゲットとして形成される窒化シリコン膜で形成する。この窒化シリコン膜はバリア性に優れ、酸素や空気中の水分をはじめナトリウムなどのイオン性の不純物の侵入を阻止するブロッキング作用を得ることができる。

【0071】

さらにアクリル又はポリイミドなどを主成分とする感光性又は非感光性の有機樹脂材料で第5絶縁層233を形成する。Al、Ti、Mo、Wなどの導電性材料で形成する配線234は第3～第5絶縁層に形成したコンタクトホールに合わせて設ける。第5絶縁膜を有機樹脂材料で形成することで配線間容量が低減し、又表面が平滑化されるため、この層上で配線の高密度化を実現することができる。

【0072】

（第3の実施の形態）

本実施の形態では、第1の実施の形態と異なる工程であり、局所加熱によるアニールによりゲート絶縁膜の改質と不純物領域の活性化を併用することが可能な態様について示す。なお、以下の説明において、第1の実施の形態と同じものを指す符号は共通して用い、簡単のためその部位の説明は省略する。

【0073】

図12（A）は基板201上に第1絶縁層202、半導体層212、酸化シリコン膜213、窒化シリコン膜214、導電層215を形成した状態である。この状態で、RTAにより局所加熱の熱処理を行って、酸化シリコン膜と窒化シリ

コン膜の積層体からなるゲート絶縁膜の改質を行っても良い。

【0074】

その後、第2導電層217を形成する(図12(B))。そして、第1エッチング処理を行い第1形状のゲート電極パターン218、219、第1形状の配線パターン220の形成を行う(図12(C))。

【0075】

この後、第2エッチング条件に変え、エッチング用ガスに SF_6 と Cl_2 と O_2 とを用い、基板側に印加するバイアス電圧を所定の値として、タンゲステン(W)膜の異方性エッチングを行う。こうして導電層218と第2導電層225の2層構造から成るゲート電極を形成する。ゲート電極は導電層218と第2導電層225との積層構造体であり、断面形状で表すと導電層218が庇のように突出した構造(トップハット型)を有している。ゲート絶縁膜はゲート電極の下層の酸化シリコン膜221と窒化シリコン膜222で構成される。また、これと同時に配線226が形成される(図12(D))。

【0076】

その後、図12(E)で示すようにドーピング処理を行い、第1不純物領域227の形成を行う。その後、第1不純物領域227の活性化とゲート絶縁膜の改質を目的とした熱処理をRTAにより行う。RTAは $700\sim 800^{\circ}\text{C}$ で30～300秒行うが、この場合においてもゲート電極である導電層218、第2導電層225が熱源の輻射を吸収して局所的な加熱を可能としている。この熱処理によりゲート絶縁膜の改質と第1不純物領域の活性化を同時に行うことができる。特に、RTAによりゲート電極とオーバーラップする第1不純物領域の熱処理効果が高められ、活性化率が上がると共に、チャネル形成領域との接合界面の改質も行うことができる。

【0077】

その後、図13(B)で示すように、導電層218の底部を不純物イオンが透過しないような低加速電圧で一導電型のイオンを注入して第2不純物領域228を形成する。このようなドーピング方法によりゲートオーバーラップLDD構造のTFETを形成することができる。この第2不純物領域228の活性化は図13

(C) で示すようにレーザー光 229 を照射して行えば良い。

【0078】

以降の工程は、第 1 の実施の形態と同様に行えば、TF T を完成させることができる。

【0079】

(第 4 の実施の形態)

第 3 の実施の形態において、図 12 (E) で第 1 不純物領域 227 を形成した後、図 14 (A) で示すように続けて第 2 不純物領域 228 を形成する。その後、図 14 (B) で示すように RTA による局所加熱の熱処理を行い、ゲート絶縁膜の改質及び第 1 不純物領域 227 及び第 2 不純物領域 228 の活性化処理を行っても良く、同様な効を得ることができる。

【0080】

(第 5 の実施の形態)

本実施の形態は、第 1 の実施の形態と異なる工程でゲートオーバーラップ LD 構造の TF T を作製する態様について示す。なお、以下の説明において、第 1 の実施の形態と同じものを指す符号は共通して用い、簡単のためその部位の説明は省略する。

【0081】

図 17 (A) は基板 201 上に第 1 絶縁層 202 と半導体層 212 を形成し、その上にマスク 240 を形成した後、ドーピング処理を行い、第 1 不純物領域 241 の形成を行う (図 17 (A))。

【0082】

マスク 240 を剥離して、オゾン水とフッ酸を交互に用いたサイクル洗浄や UV (紫外線) オゾン処理で有機物汚染を除去して清浄表面を形成した後、酸化シリコン膜 213、窒化シリコン膜 214、導電層 215 を形成する (図 17 (B))。

【0083】

その後、第 2 導電層 217 を形成する (図 17 (C))。そして、エッチング処理を行いゲート電極のパターンに加工された第 2 導電層 242 を形成する。ゲ

ート電極の位置はマスク 240 を形成した位置に対応して形成し、第 1 不純物領域 241 と重畳させることでゲートオーバーラップ構造をこの段階で作り込む（図 17（D））。

【0084】

次いで、図 18（A）で示すように、導電層 215 を残存させた状態で、第 2 導電層 242 をマスクとしてドーピング処理を行い第 2 不純物領域 243 を形成する。その後、第 1 不純物領域 241、第 2 不純物領域 243 の活性化とゲート絶縁膜の改質を目的とした熱処理を R T A により行う。R T A は 700～800℃で 30～300 秒行う。この場合において導電層 215 が熱源の輻射を吸収して局所的な加熱を可能としている。この熱処理によりゲート絶縁膜の改質と第 1 不純物領域 241、第 2 不純物領域 243 の活性化を同時に行うことができる。特に、R T A によりゲート電極とオーバーラップする第 1 不純物領域の熱処理効果が高められ、活性化率が上がると共に、チャネル形成領域との接合界面の改質も行うことができる。その後、導電層 215 のエッチングして、導電層 244 と第 2 導電層 242 とから成るゲート電極を形成する（図 18（C））。

【0085】

本実施の形態の工程では第 1 不純物領域及び第 2 不純物領域の活性化と、ゲート絶縁膜の改質を 1 回の R T A による熱処理で行うことが可能である。以降の工程は、第 1 の実施の形態と同様に行えば、T F T を完成させることができる。

【0086】

（第 6 の実施の形態）

第 5 の実施の形態において、図 17（D）までの工程を同様に行った後、図 19（A）で示すように導電層 215 のエッチングを行い、この段階で導電層 244 と第 2 導電層 242 とから成るゲート電極を形成する。その後、このゲート電極をマスクとしてドーピング処理を行い第 2 不純物領域 243 を形成する。

【0087】

その後、図 19（B）で示すように R T A による局所加熱の熱処理を行い、ゲート絶縁膜の改質及び第 1 不純物領域 241 の活性化処理を行い、同様な効果を得ることができる。第 2 不純物領域 243 の活性化が不十分な場合には、レーザー

アニールと組み合わせて実施しても良い。

【0088】

(第7の実施の形態)

実施の形態1において、図5(B)で示す結晶性シリコン膜207が得られた後に、図16で示すように、連続発振型の固体レーザーとして、Cr、Nd、Er、Ho、Ce、Co、Ti又はTmがドーピングされたYAG、YVO₄、YLF、YAlO₃などの結晶を使ったレーザー発振器を適用する。当該レーザー発振器における基本波はドーピングする材料によって異なり、1 μ m前後の基本波を有するレーザー光が得られる。基本波に対する高調波は、非線形光学素子を用いることで得ることが可能であり、前記レーザー発振装置を用いた場合には概略第2高調波で可視光域の波長が、第3高調波で紫外域の波長が得られる。代表的には、Nd:YVO₄レーザー発振器(基本波1064nm)で、その第2高調波(532nm)を適用する。このレーザー光を線状若しくは矩形状に集光して1~100cm/秒の速度で走査させ結晶性の向上を図る。

【0089】

この工程で連続発振レーザーを用いることで、レーザー光の走査方向に結晶粒が延びて表面が平滑な結晶性シリコン膜を得ることができ、表面の凹凸形状の最大値を10nm以下好ましくは5nm以下にすることができる。勿論、本実施の形態は、第2~第4の実施の形態に適用することもできる。

【0090】

(第8の実施の形態)

実施の形態1~7により作製される代表的な半導体装置としてマイクロコンピュータの一実施形態を図20と図21を用いて説明する。図20に示すように、0.3~1.1mmの厚さのガラス基板上に各種の機能回路部を集積してマイクロコンピュータを実現することができる。各種の機能回路部は実施の形態1~5により作製されるTFETや容量部を主体として形成することが可能である。

【0091】

図20で示すマイクロコンピュータ700の要素としては、CPU701、ROM702、割り込みコントローラ703、キャッシュメモリー704、RAM

705、DMAC706、クロック発生回路707、シリアルインターフェース708、電源発生回路709、ADC/DAC710、タイマカウンタ711、WDT712、I/Oポート702などである。

【0092】

ガラス基板上に形成されたマイクロコンピュータ700は、セラミックやFRP（繊維強化プラスチック）のベース801にフェースダウンボンディングで固着される。マイクロコンピュータ700のガラス基板の裏面には、熱伝導性の良い酸化アルミニウム803が被覆されて熱放散効果を高めている。さらにこれに接してアルミニウムで形成される放熱フィン804が設けられ、マイクロコンピュータ700の動作に伴う発熱対策としている。全体は封止樹脂805で覆われ、外部回路との接続はピン802により行う。

【0093】

本実施の形態ではマイクロコンピュータの形態を一例として示したが、各種機能回路の構成や組み合わせを換えれば、メディアプロセッサ、グラフィクス用LSI、暗号LSI、メモリー、グラフィクス用LSI、携帯電話用LSIなど様々な機能の半導体装置を完成させることができる。

【0094】

【発明の効果】

本発明によれば、基板と導電層との間に、その導電層の内側に位置する半導体層と、該半導体層の上面及び側面を被覆する絶縁層を形成し、可視光域から赤外域までの波長域の非可干渉性の電磁波を輻射する熱源で熱処理をすることで応力を分散し、TFTの活性層を形成する半導体層であって、特にゲートを形成する部位に応力が残留することを防ぐことができる。すなわち、ガラスなど熱的に脆弱な基板上に作り込むトランジスタに対し、好適に適用可能な緻密で高品質の絶縁膜を形成することが可能となる。また、本発明によればトップハット型の2層構造のゲート電極に接続するゲート配線の幅を自由に設定することができ（下層の導電層による庇が存在しない）、配線の高密度化を実現することができる。

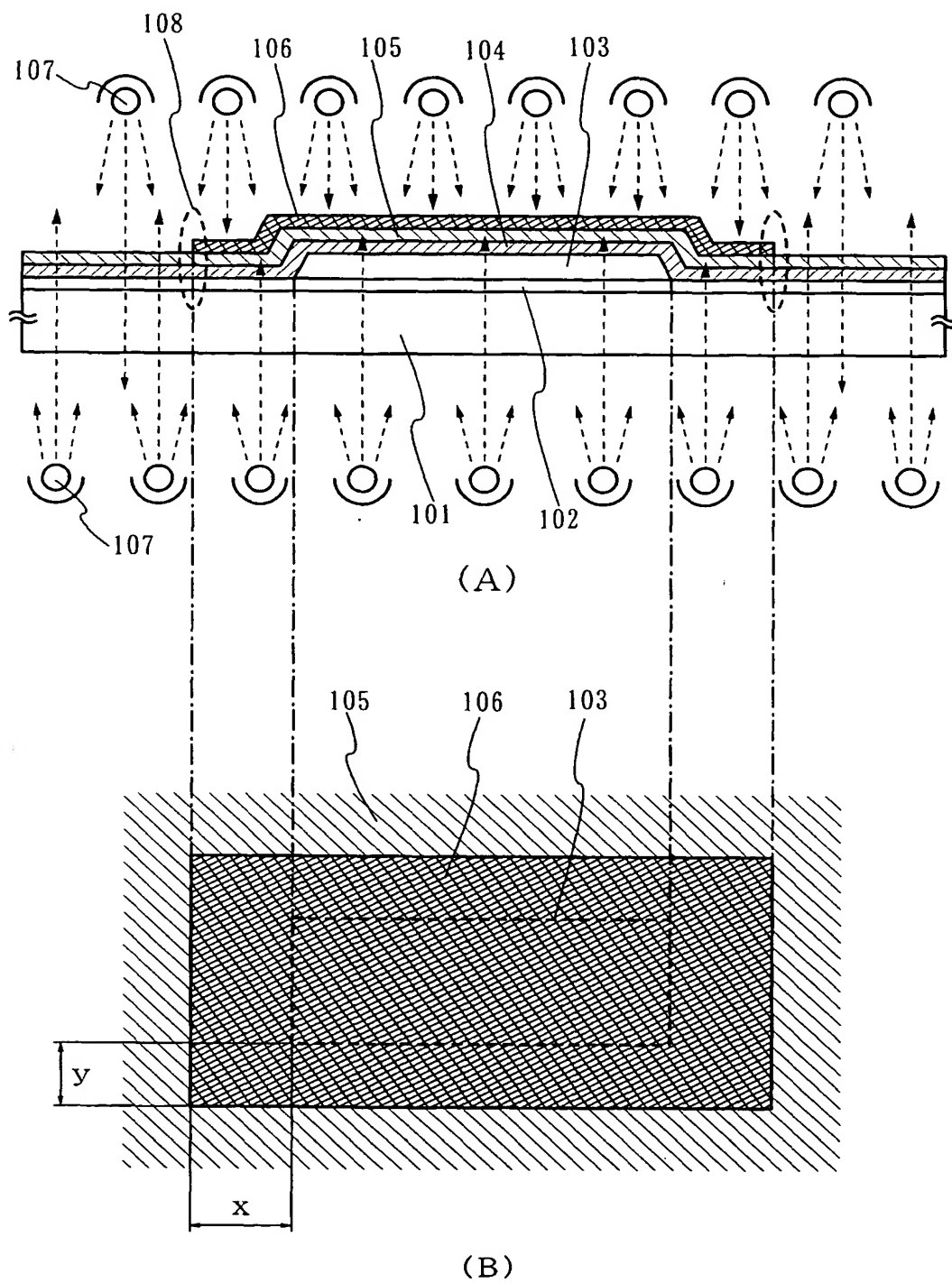
【図面の簡単な説明】

【図1】 本発明に係る局所加熱による熱処理方法を説明する図である。

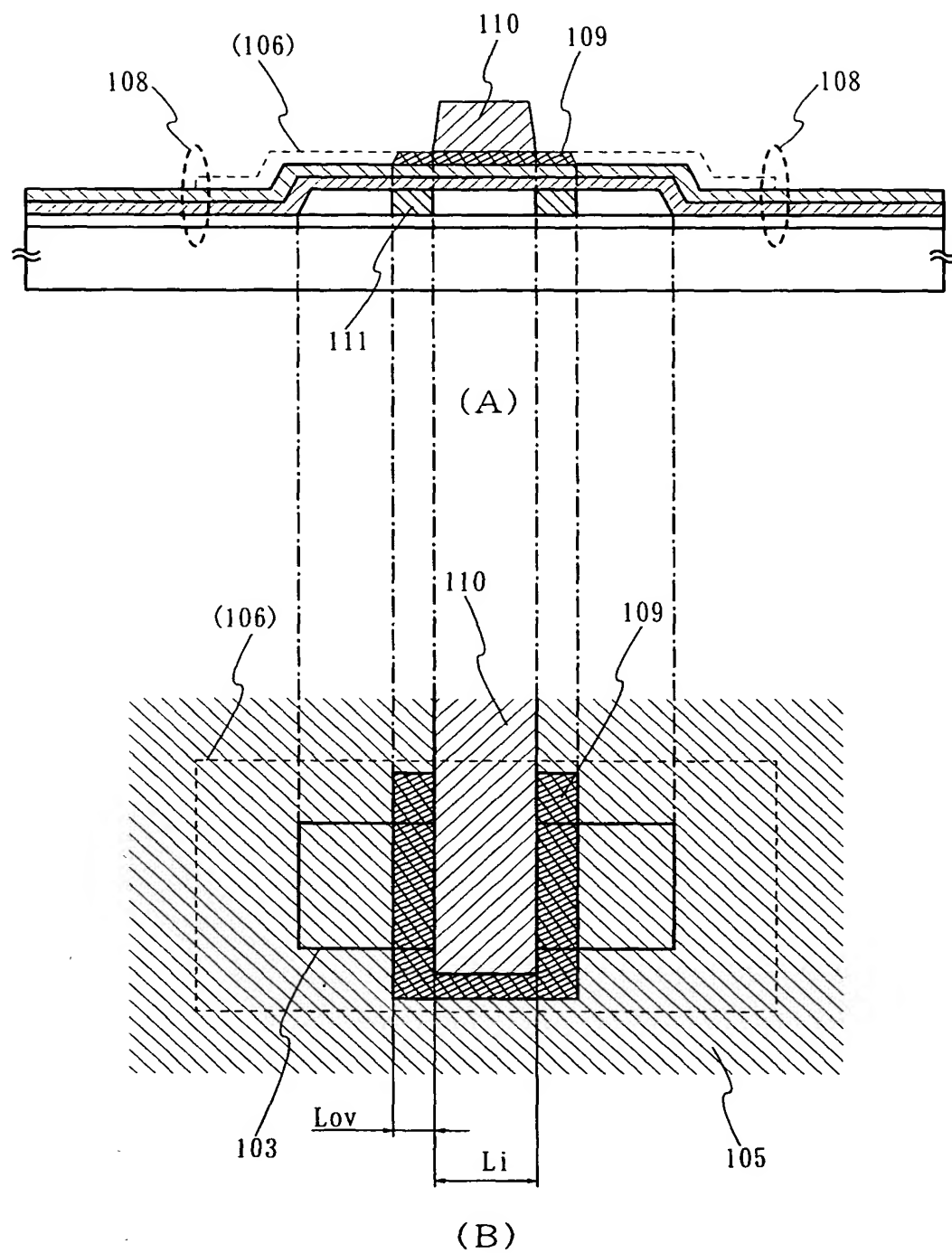
- 【図 2】 図 1 の熱処理後にゲートを形成する部位を説明する図である。
- 【図 3】 R T A 装置の構成を説明する図である。
- 【図 4】 ガラス基板とその上に形成した窒化タンタル膜の透過率・反射率と、タンゲステンハロゲンランプの輻射スペクトルを示すグラフである。
- 【図 5】 本発明に係る半導体装置の作製方法を説明する図である。
- 【図 6】 本発明に係る半導体装置の作製方法を説明する図である。
- 【図 7】 本発明に係る半導体装置の作製方法を説明する図である。
- 【図 8】 本発明に係る半導体装置の作製方法を説明する図である。
- 【図 9】 本発明に係る半導体装置の作製方法を説明する図である。
- 【図 1 0】 本発明に係る半導体装置の作製方法を説明する図である。
- 【図 1 1】 本発明に係る半導体装置の作製方法を説明する図である。
- 【図 1 2】 本発明に係る半導体装置の作製方法を説明する図である。
- 【図 1 3】 本発明に係る半導体装置の作製方法を説明する図である。
- 【図 1 4】 本発明に係る半導体装置の作製方法を説明する図である。
- 【図 1 5】 第 1 の実施の形態で示す工程において基板の加熱温度に着目してその推移を示すグラフである。
- 【図 1 6】 本発明に係る半導体装置の作製方法を説明する図である。
- 【図 1 7】 本発明に係る半導体装置の作製方法を説明する図である。
- 【図 1 8】 本発明に係る半導体装置の作製方法を説明する図である。
- 【図 1 9】 本発明に係る半導体装置の作製方法を説明する図である。
- 【図 2 0】 本発明によるマイクロコンピュータの構成を説明する図。
- 【図 2 1】 本発明によるマイクロコンピュータのパッケージ構造を説明する図。
- 。

【書類名】 図面

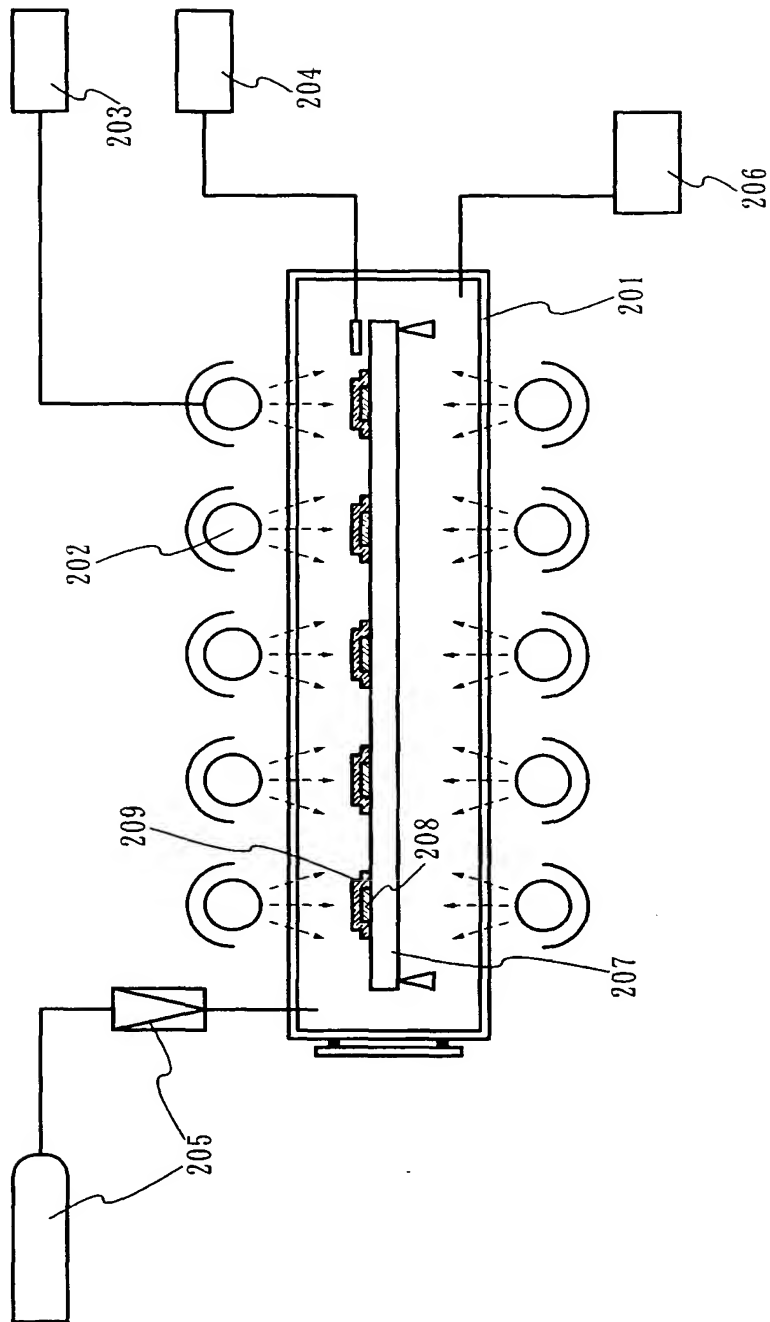
【図 1】



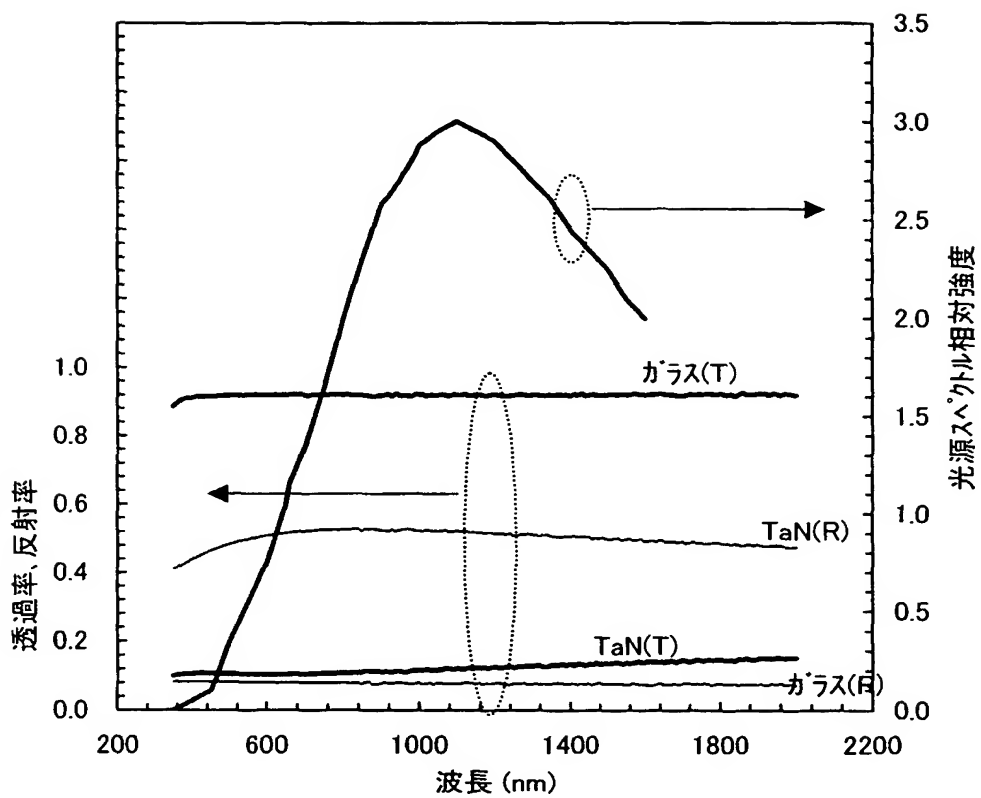
【図 2】



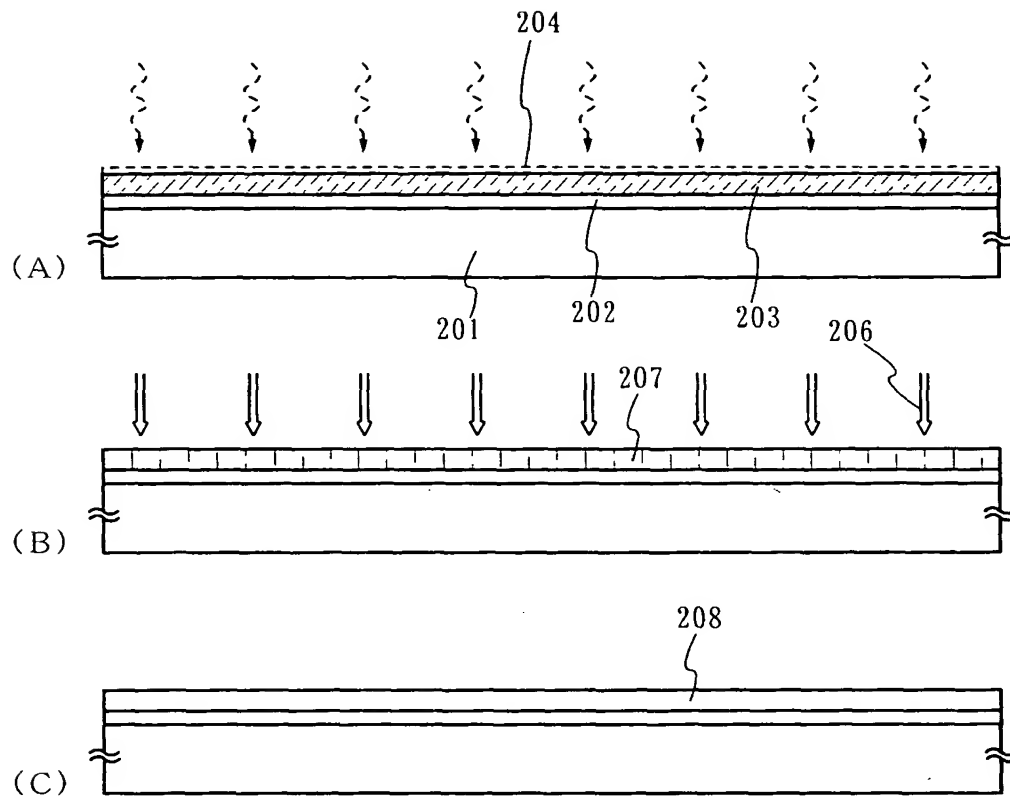
【図 3】



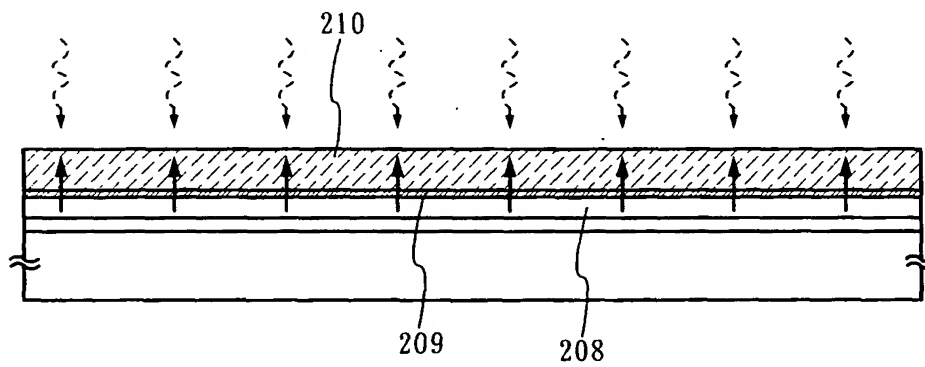
【図 4】



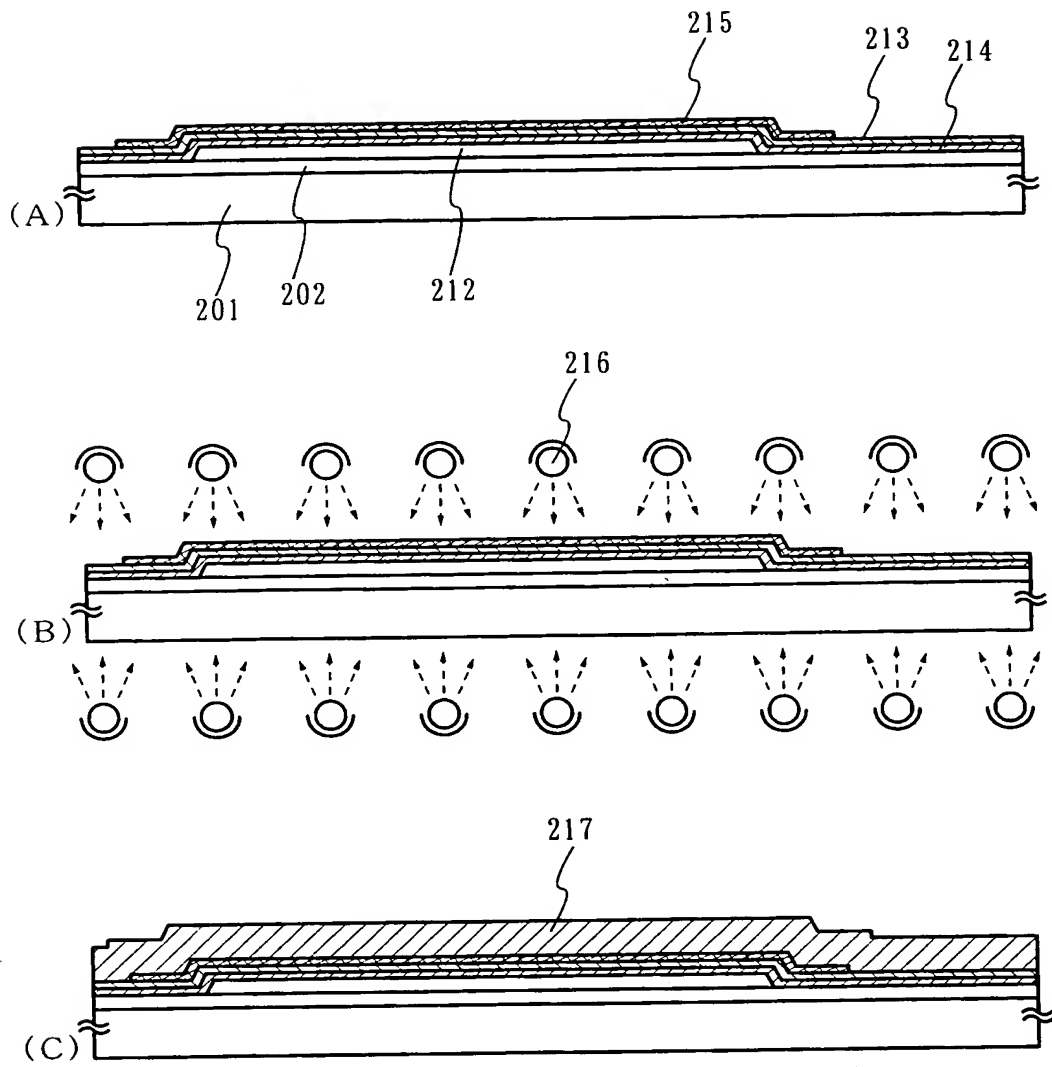
【図 5】



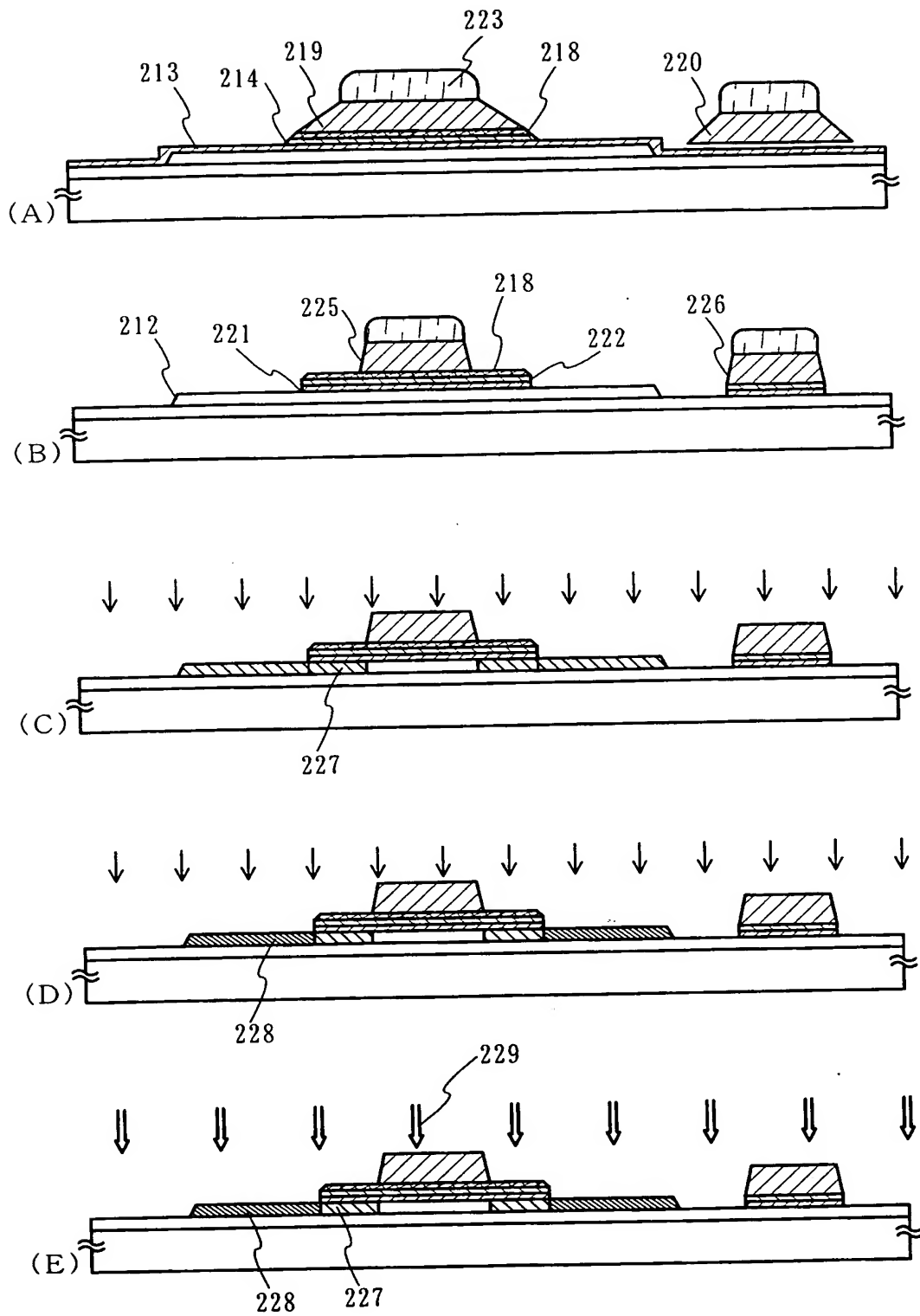
【図 6】



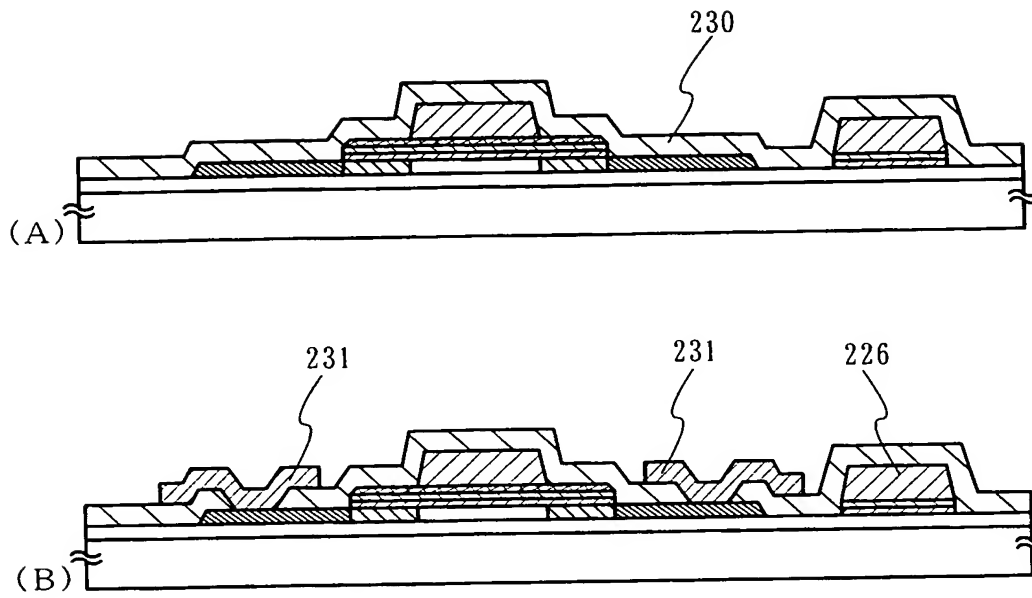
【図 7】



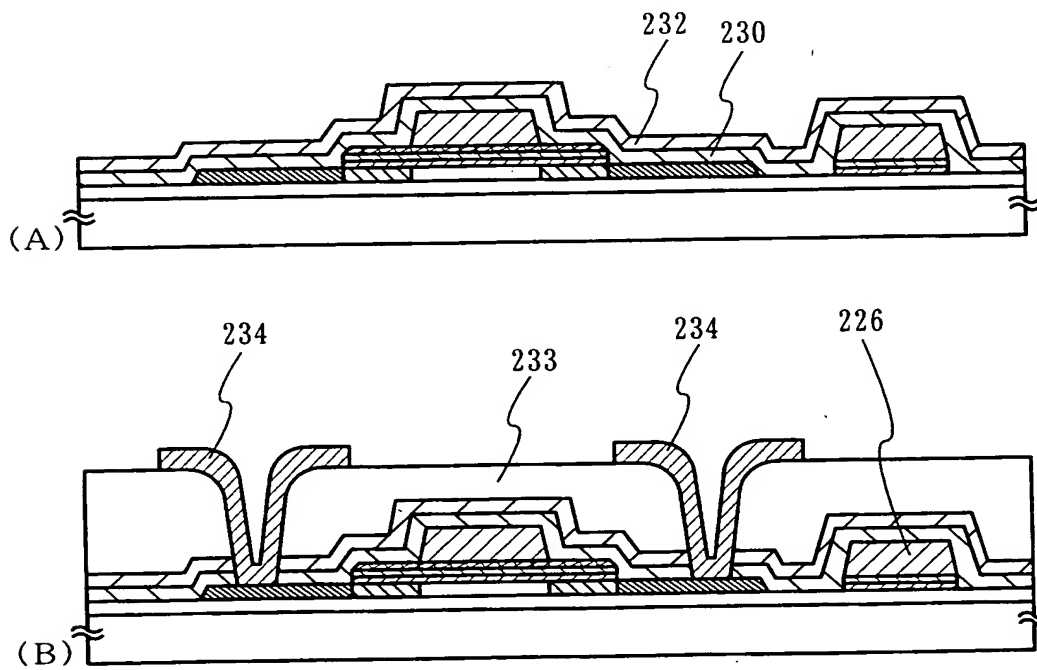
【図 8】



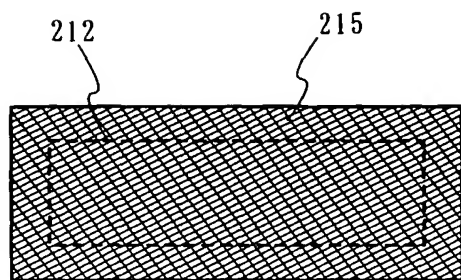
【図 9】



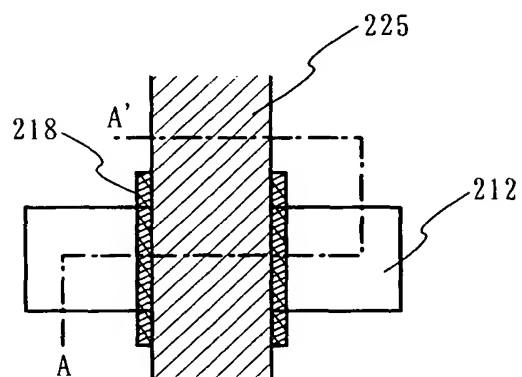
【図 10】



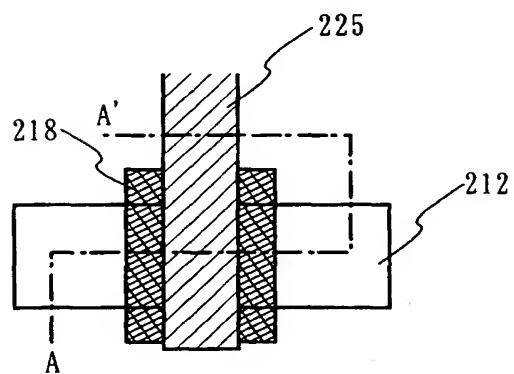
【図 11】



(A)

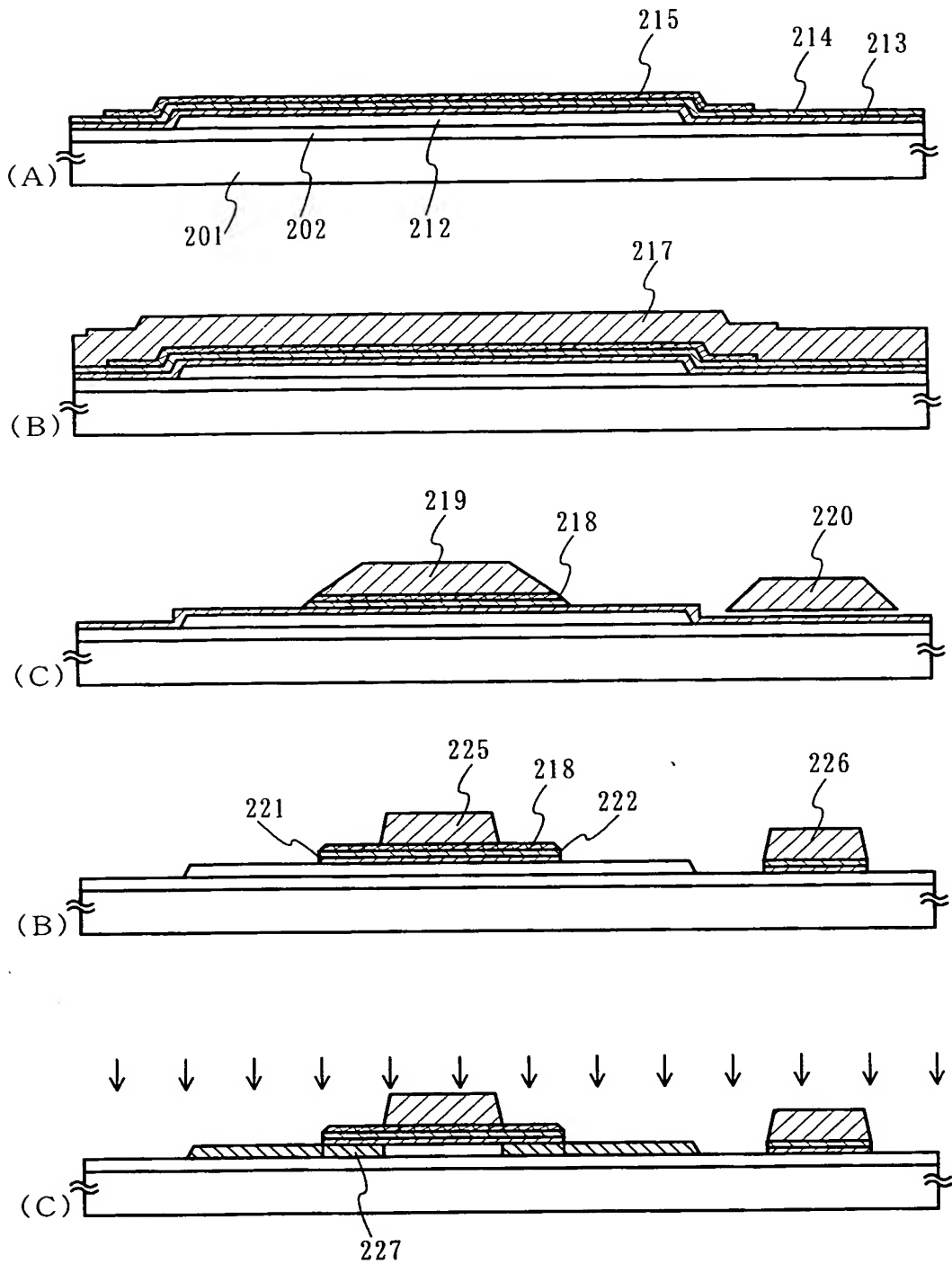


(B)

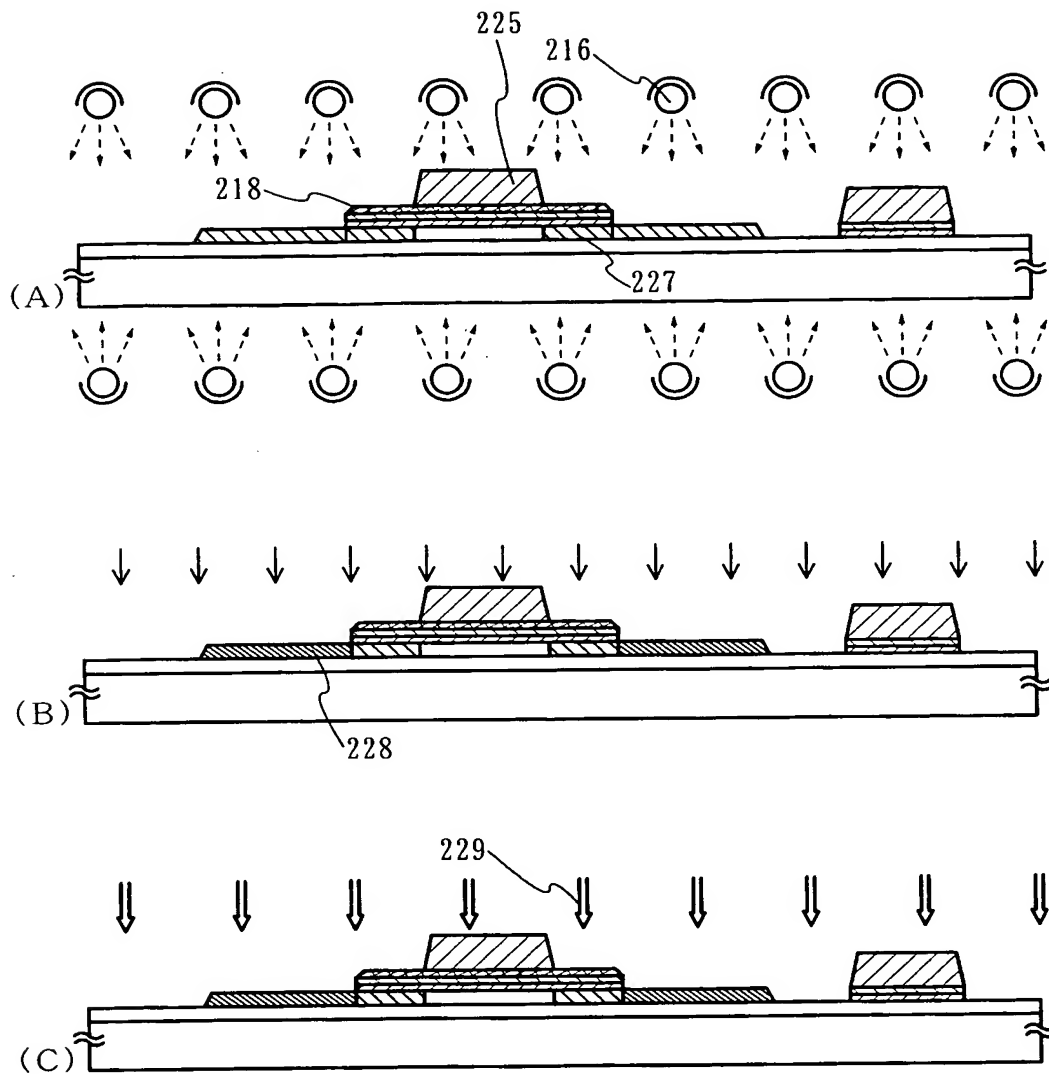


(C)

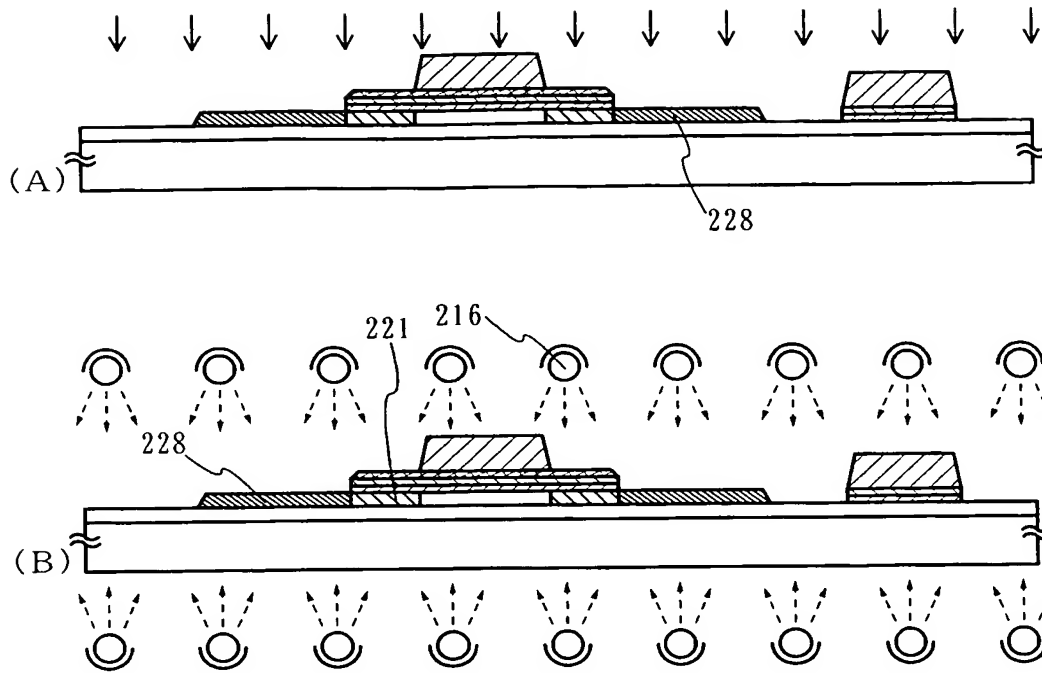
【図 12】



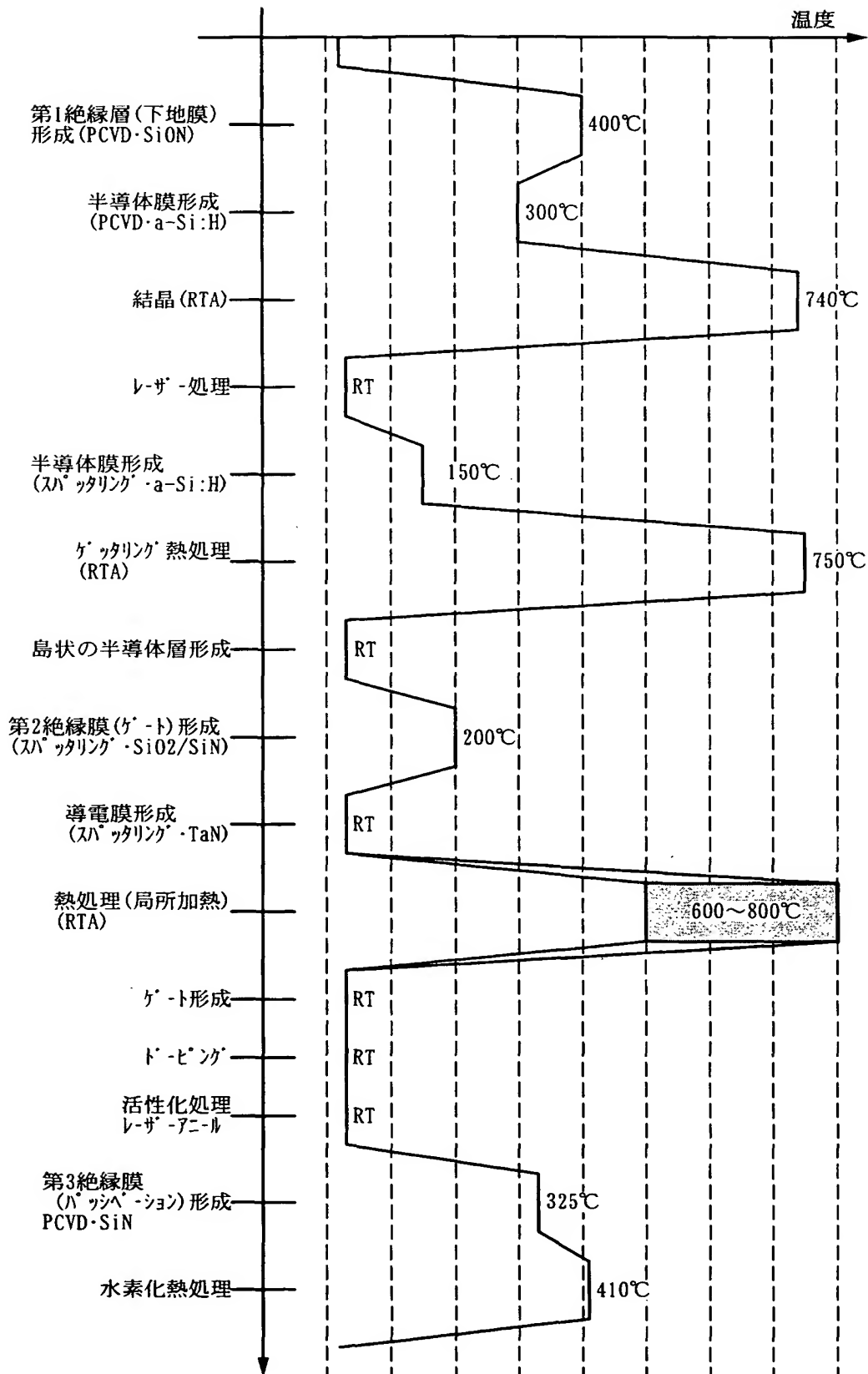
【図 13】



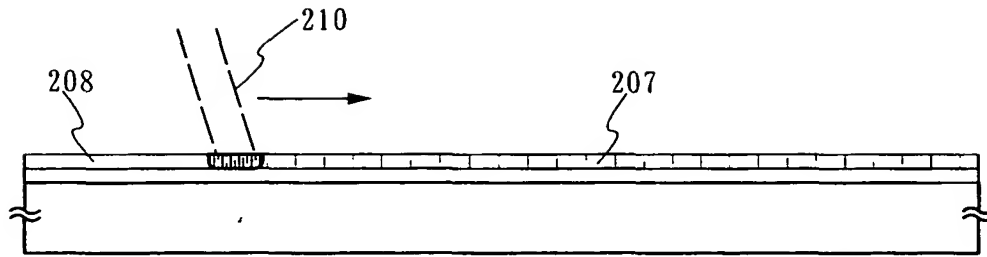
【図 14】



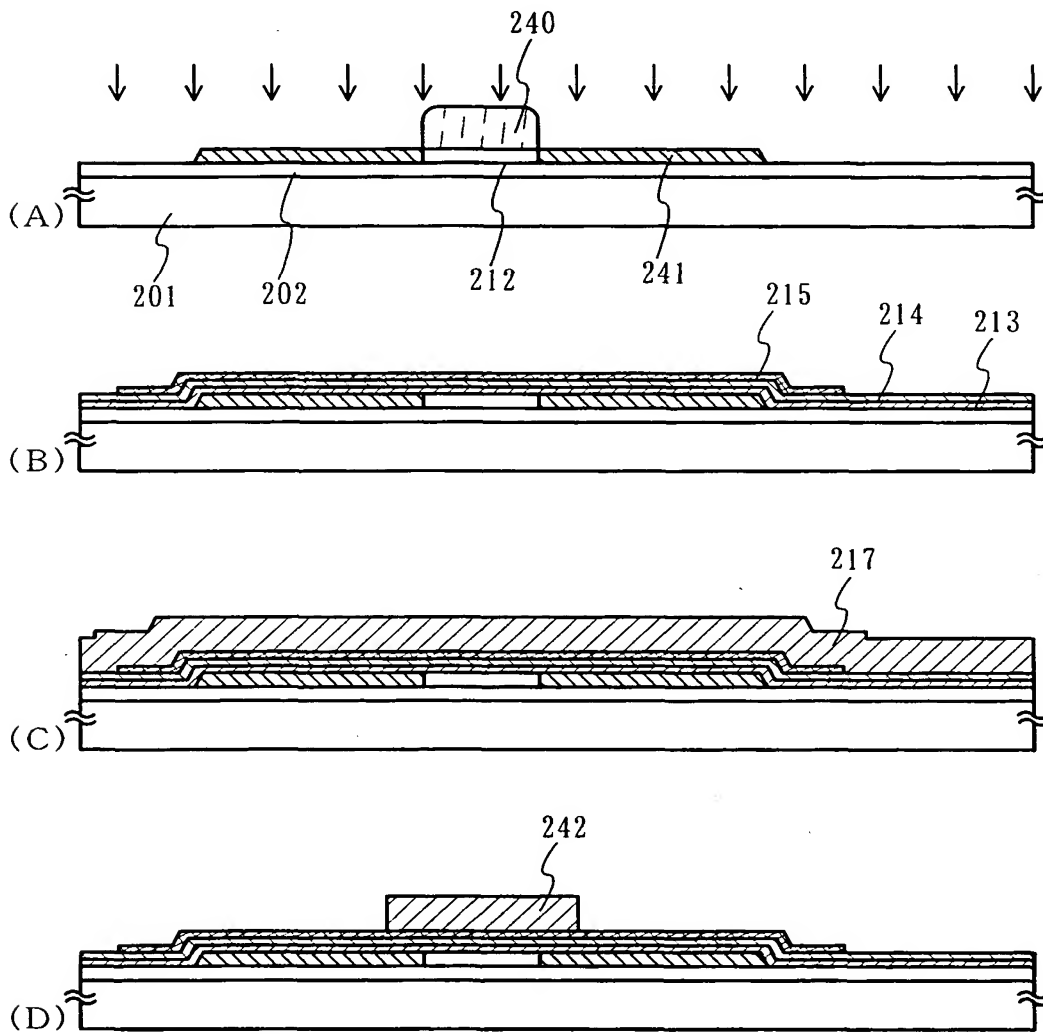
【図 15】



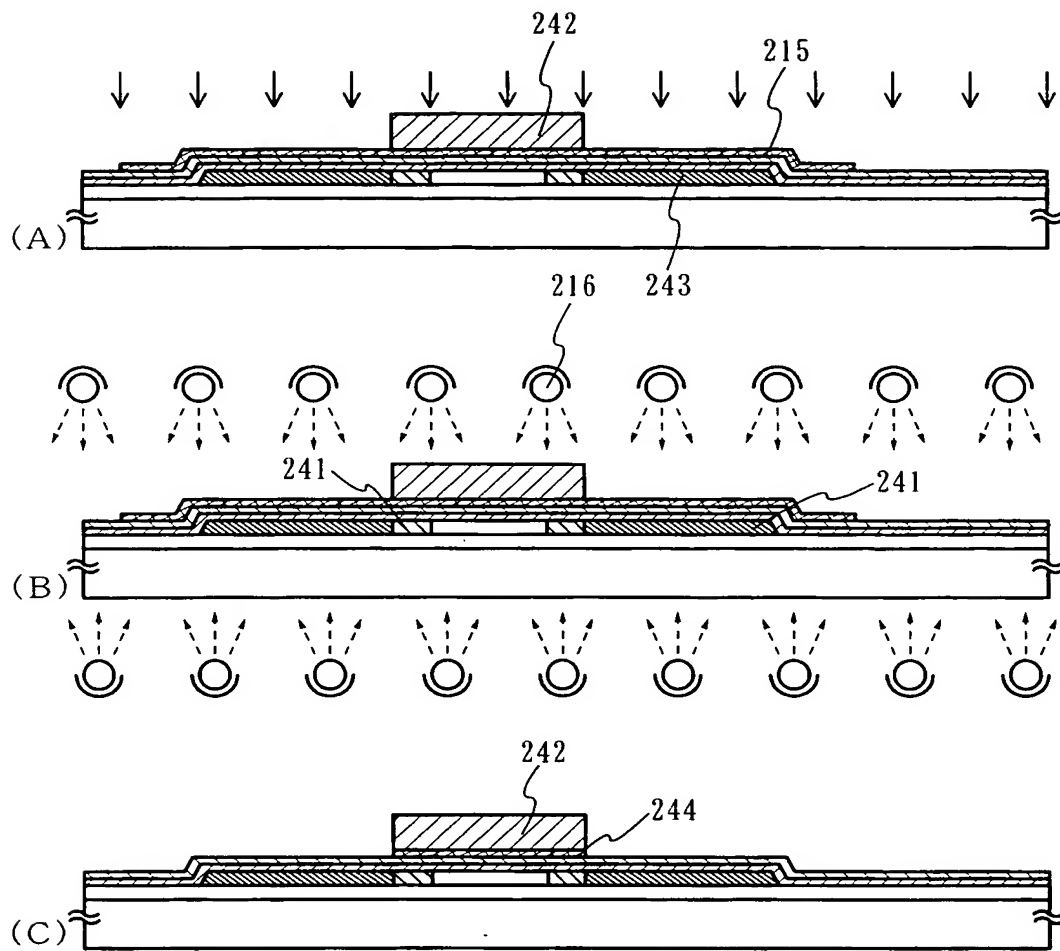
【図 16】



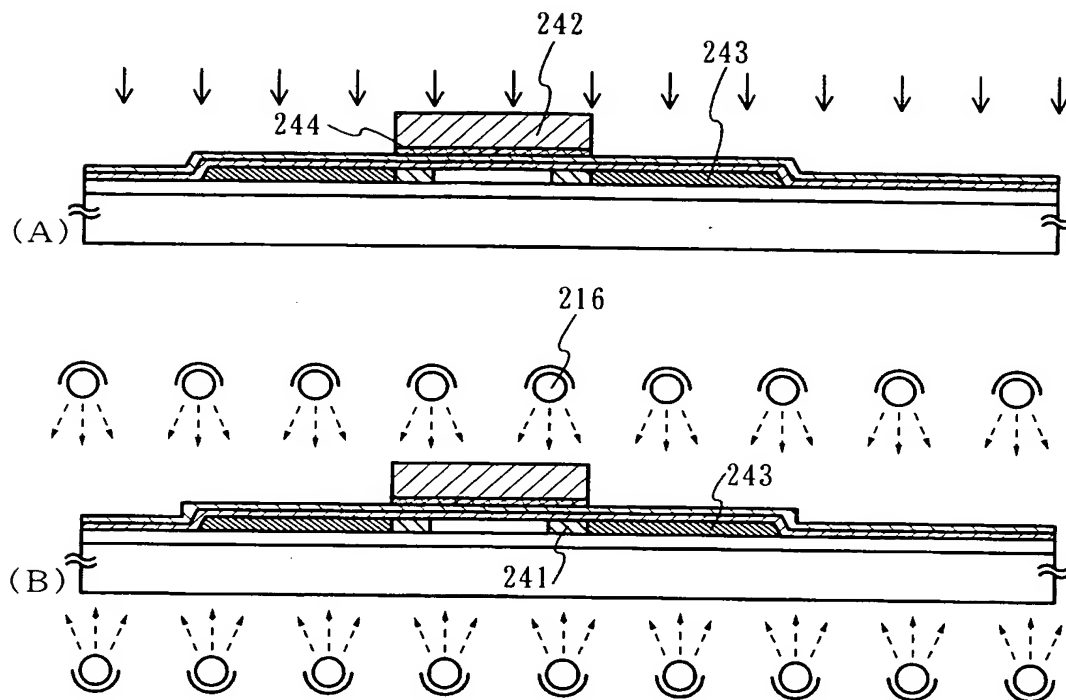
【図 17】



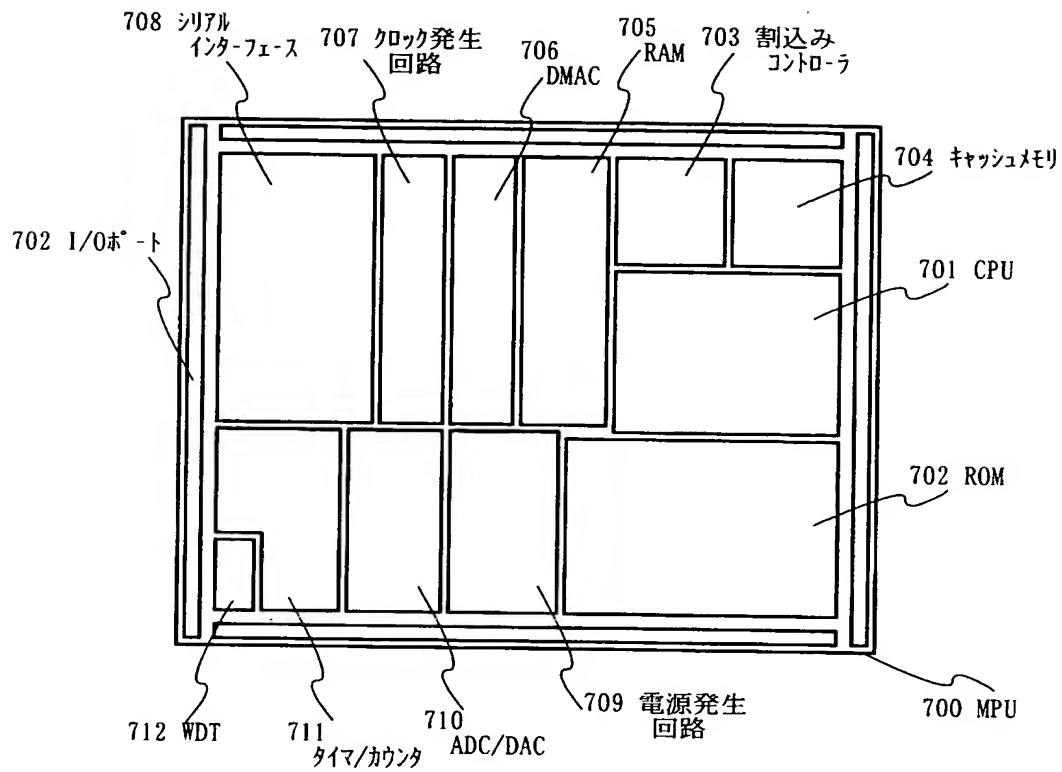
【図 18】



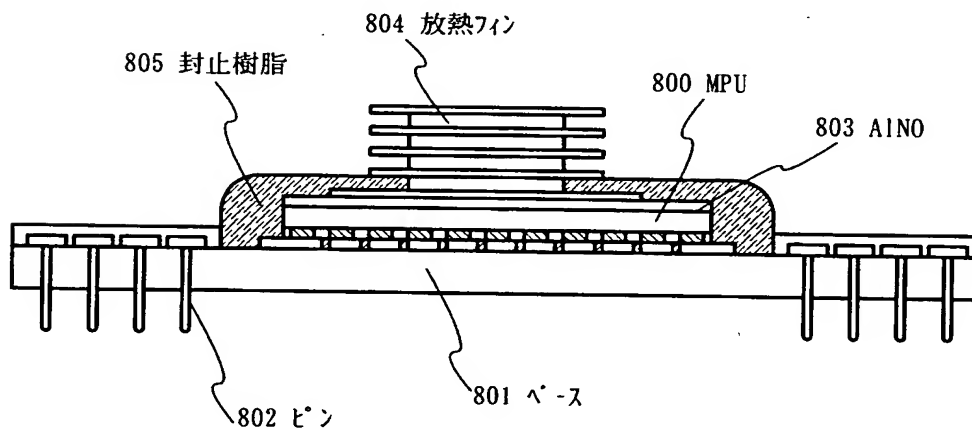
【図 19】



【図 20】



【図 21】



【書類名】 要約書

【要約】

【課題】 ガラスなど熱的に脆弱な基板上に作り込むトランジスタに対し、熱処理による基板の収縮の影響を無くして、その上で緻密で高品質の絶縁膜を形成する技術、並びにそれを用いて高性能で高信頼性を実現する半導体装置を適用することを目的とする。

【解決手段】 ガラスなど熱的に脆弱な基板を用いてTFTに代表される薄膜素子を形成する工程において必要となる熱処理を、該基板に熱的な損傷を与えることなく行うために、薄膜素子が形成される基板の特定部分に、熱源からの輻射を吸収する被膜を局所的に形成して熱源としてランプを用いる瞬間熱アニールを行う。本発明において適用する基板は、熱源からの輻射に対して透明性を有しその輻射により加熱されにくい素材が適用され、当該基板の主表面上に熱源からの輻射を吸収する被膜を局所的に設けて熱源としてランプを用いる瞬間熱アニールを行う。

【選択図】 図1

特願 2 0 0 2 - 2 5 2 1 9 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 5 3 8 7 8]

1. 変更年月日

1 9 9 0 年 8 月 1 7 日

[変更理由]

新規登録

住 所

神奈川県厚木市長谷 3 9 8 番地

氏 名

株式会社半導体エネルギー研究所